

DIALOG(R) File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

05225301 **Image available**
SURFACE CONDUCTIVE-TYPE ELECTRON EMITTING ELEMENT, ELECTRON SOURCE USING
THEREOF, IMAGE FORMING DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 08-180801 [J P 8180801 A]
PUBLISHED: July 12, 1996 (19960712)
INVENTOR(s): SHIBATA MASAAKI
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 06-335151 [JP 94335151]
FILED: December 21, 1994 (19941221)
INTL CLASS: [6] H01J-009/02; H01J-001/30; H01J-031/12; H01J-031/15
JAPIO CLASS: 42.3 (ELECTRONICS -- Electron Tubes); 29.4 (PRECISION
 INSTRUMENTS -- Business Machines); 44.6 (COMMUNICATION --
 Television); 44.9 (COMMUNICATION -- Other)
JAPIO KEYWORD: R003 (ELECTRON BEAM); R012 (OPTICAL FIBERS); R020 (VACUUM
 TECHNIQUES); R101 (APPLIED ELECTRONICS -- Video Tape
 Recorders, VTR); R107 (INFORMATION PROCESSING -- OCR & OMR
 Optical Readers); R108 (INFORMATION PROCESSING -- Speech
 Recognition & Synthesis); R139 (INFORMATION PROCESSING --
 Word Processors)

ABSTRACT

PURPOSE: To prevent deterioration of surface conductive-type electron emitting elements and improve electron emitting characteristics by communicating element electrodes formed on a substrate with a thin film containing an electron emitting part and covering the resulting body with an antistatic film.

CONSTITUTION: After an organometal solution containing Ni, Pd, Ag, etc., is applied onto a substrate 1 in which element electrodes 4, 5 are formed, heating and baking are carried out to form a thin film 3 for electron emitting parts which communicate the patterned electrodes 4, 5. Then, the resulting substrate 1 is immersed in an aqueous solution containing an organometal complex to deposit a molecular single layer of the organic molecule on the substrate 1 and annealed to form an antistatic film 6 with 10^{10} (sup 8)- 10^{13} .omega./unit square. After that, electricity is applied between the electrodes 4, 5 and the thin film 3 is partially damaged, deformed, or denatured to form an electron emitting part 2.

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-180801

(43) 公開日 平成 8 年 (1996) 7 月 12 日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J	9/02	B		
	1/30	B		
		Z		
	31/12	B		
	31/15	C		

審査請求 未請求 請求項の数28 F D (全 24 頁)

(21) 出願番号 特願平6-335151

(22) 出願日 平成 6 年 (1994) 12 月 21 日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子 3 丁目 30 番 2 号

(72) 発明者 柴田 雅章

東京都大田区下丸子 3 丁目 30 番 2 号 キヤ
ノン株式会社内

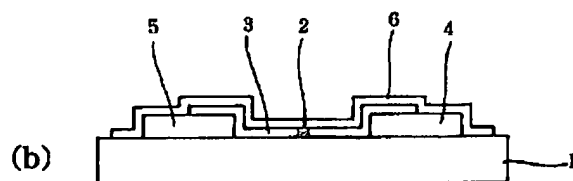
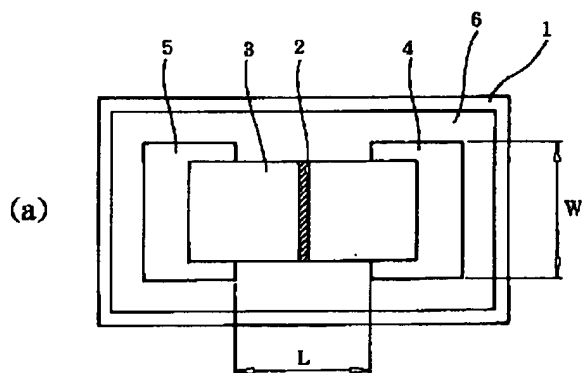
(74) 代理人 弁理士 豊田 善雄 (外 1 名)

(54) 【発明の名称】 表面伝導型電子放出素子、それを用いた電子源、画像形成装置及びこれらの製造方法

(57) 【要約】

【目的】 電子放出特性の安定した表面伝導型電子放出素子、これを用いた電子源、高品位な画像形成装置を得る。

【構成】 表面伝導型電子放出素子の表面を帯電防止膜 6 で被覆する。



【特許請求の範囲】

【請求項 1】 基板上に素子電極を形成すると共に、素子電極間を連絡する電子放出部形成用の薄膜を形成する工程と、
帯電防止膜を形成する工程と、
電子放出部形成用の薄膜に電子放出部を形成するフォーミング工程とを有することを特徴とする表面伝導型電子放出素子の製造方法。

【請求項 2】 帯電防止膜を形成する工程が、基板上に酸化物を主成分とする薄膜ないし微粒子膜を形成する成膜工程と、その膜を還元する工程を含むことを特徴とする請求項 1 の表面伝導型電子放出素子の製造方法。

【請求項 3】 帯電防止膜を形成する工程において、基板上に酸化物を主成分とする薄膜ないし微粒子膜を形成する成膜工程が、ラングミュアプロジェクト法による成膜工程を含むことを特徴とする請求項 2 の表面伝導型電子放出素子の製造方法。

【請求項 4】 酸化物が、酸化パラジウムであることを特徴とする請求項 2 又は 3 の表面伝導型電子放出素子の製造方法。

【請求項 5】 フォーミング工程の後に、フォーミング工程より高い真空度下で表面伝導型電子放出素子に電圧を印加する安定化工程を有することを特徴とする請求項 1 ないし 4 いずれかの表面伝導型電子放出素子の製造方法。

【請求項 6】 フォーミング工程の後に、有機物質の存在下で表面伝導型電子放出素子に電圧を印加する活性化工程を有することを特徴とする請求項 1 ないし 4 いずれかの表面伝導型電子放出素子の製造方法。

【請求項 7】 活性化工程の後に、フォーミング工程及び活性化工程より高い真空度下で表面伝導型電子放出素子に電圧を印加する安定化工程を有することを特徴とする請求項 6 の表面伝導型電子放出素子の製造方法。

【請求項 8】 請求項 1 ないし 7 いずれかの方法で製造されたことを特徴とする表面伝導型電子放出素子。

【請求項 9】 帯電防止膜が、金属あるいは半導体を主成分とする島状膜であることを特徴とする請求項 8 の表面伝導型電子放出素子。

【請求項 10】 帯電防止膜の主成分が、金属パラジウムであることを特徴とする請求項 8 の表面伝導型電子放出素子。

【請求項 11】 素子電極が同一面上に形成された平面型であることを特徴とする請求項 8 ないし 10 いずれかの表面伝導型電子放出素子。

【請求項 12】 素子電極が絶縁層を介して上下に位置し、該絶縁層の側面に電子放出部を含む薄膜が形成された垂直型であることを特徴とする請求項 8 ないし 10 いずれかの表面伝導型電子放出素子。

【請求項 13】 複数の表面伝導型電子放出素子を備えた電子源の製法において、

基板上に複数対の素子電極を形成すると共に、各対の素子電極間を連絡する電子放出部形成用の薄膜を形成する工程と、

各表面伝導型電子放出素子上に帯電防止膜を形成する工程と、

各電子放出部形成用の薄膜に電子放出部を形成するフォーミング工程とを有することを特徴とする電子源の製造方法。

【請求項 14】 帯電防止膜を形成する工程が、基板上に酸化物を主成分とする薄膜ないし微粒子膜を形成する成膜工程と、その膜を還元する工程を含むことを特徴とする請求項 13 の電子源の製造方法。

【請求項 15】 帯電防止膜を形成する工程において、基板上に酸化物を主成分とする薄膜ないし微粒子膜を形成する成膜工程が、ラングミュアプロジェクト法による成膜工程を含むことを特徴とする請求項 14 の電子源の製造方法。

【請求項 16】 酸化物が、酸化パラジウムであることを特徴とする請求項 14 又は 15 の電子源の製造方法。

【請求項 17】 フォーミング工程の後に、フォーミング工程より高い真空度下で表面伝導型電子放出素子に電圧を印加する安定化工程を有することを特徴とする請求項 13 ないし 16 いずれかの電子源の製造方法。

【請求項 18】 フォーミング工程の後に、有機物質の存在下で各表面伝導型電子放出素子に電圧を印加する活性化工程を有することを特徴とする請求項 13 ないし 16 いずれかの電子源の製造方法。

【請求項 19】 活性化工程の後に、フォーミング工程及び活性化工程より高い真空度下で各表面伝導型電子放出素子に電圧を印加する安定化工程を有することを特徴とする請求項 18 の電子源の製造方法。

【請求項 20】 請求項 13 ないし 19 いずれかの方法で製造されたことを特徴とする電子源。

【請求項 21】 表面伝導型電子放出素子が、その素子電極が同一面上に形成された平面型であることを特徴とする請求項 20 の電子源。

【請求項 22】 表面伝導型電子放出素子が、その素子電極が絶縁層を介して上下に位置し、該絶縁層の側面に電子放出部を含む薄膜が形成された垂直型であることを特徴とする請求項 20 の電子源。

【請求項 23】 複数の表面伝導型電子放出素子を配列した素子列を少なくとも 1 列以上有し、各表面伝導型電子放出素子を駆動するための配線がマトリクス配置されていることを特徴とする請求項 20 ないし 22 いずれかの電子源。

【請求項 24】 複数の表面伝導型電子放出素子を配列した素子列を少なくとも 1 列以上有し、各表面伝導型電子放出素子を駆動するための配線がはしご状配置されていることを特徴とする請求項 20 ないし 22 いずれかの電子源。

【請求項25】 請求項20ないし24いずれかの電子源と、該電子源からの電子線の照射により画像を形成する画像形成部材とを有することを特徴とする画像形成装置。

【請求項26】 請求項20ないし24いずれかの電子源と、該電子源から放出される電子線を情報信号に応じて変調する変調手段と、該電子源からの電子線の照射により画像を形成する画像形成部材とを有することを特徴とする画像形成装置。

【請求項27】 請求項20ないし24いずれかの電子源と、該電子源からの電子線の照射により画像を形成する画像形成部材とを組み合わせることを特徴とする画像形成装置の製造方法。

【請求項28】 請求項20ないし24いずれかの電子源と、該電子源から放出される電子線を情報信号に応じて変調する変調手段と、該電子源からの電子線の照射により画像を形成する画像形成部材とを組み合わせることを特徴とする画像形成装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、表面伝導型電子放出素子、これを用いた電子源、表示装置や露光装置等の画像形成装置、更には該表面伝導型電子放出素子、電子源及び画像形成装置の製造方法に関する。

【0002】

【従来の技術】表面伝導型電子放出素子は、絶縁性の基板上に形成された導電性薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。

【0003】表面伝導型電子放出素子の典型的な構成例としては、絶縁性の基板上に設けた一対の素子電極間を連絡する金属酸化物等の導電性薄膜に、予めフォーミングと称される通電処理により電子放出部を形成したものが挙げられる。フォーミングは、導電性薄膜の両端に直流電圧あるいは非常にゆっくりとした昇電圧、例えば1V/1分程度の昇電圧を印加通電することで通常行われ、導電性薄膜を局所的に破壊、変形もしくは変質させて構造を変化させ、電気的に高抵抗な状態の電子放出部を形成する処理である。電子放出は、上記電子放出部が形成された導電性薄膜に電圧を印加して電流を流すことにより、電子放出部に発生した亀裂付近から行われる。

【0004】上記表面伝導型電子放出素子は、構造が単純で製造も容易であることから、大面積に互って多数配列形成できる利点がある。そこで、この特徴を活かすための種々の応用が研究されている。例えば表示装置等の画像形成装置への利用が挙げられる。

【0005】従来、多数の表面伝導型電子放出素子を配列形成した例としては、並列に表面伝導型電子放出素子を配列し、個々の表面伝導型電子放出素子の両端（両素子電極）を配線（共通配線とも呼ぶ）にて夫々結線した

行を多数行配列（梯型配置とも呼ぶ）した電子源が挙げられる（特開平1-31332号公報、同1-283749号公報、同2-257552号公報）。また、特に表示装置においては、液晶を用いた表示装置と同様の平板型表示装置とすることが可能で、しかもバックライトが不要な自発光型の表示装置として、表面伝導型電子放出素子を多数配置した電子源と、この電子源からの電子線の照射により可視光を発光する蛍光体とを組み合わせた表示装置が提案されている（アメリカ特許第5066883号明細書）。

【0006】

【発明が解決しようとする課題】ところで、上記の表面伝導型電子放出素子は、真空中で取り扱われるが、真空中での電子放出特性の不安定性の一要因として、電子放出部近傍に絶縁性基板表面が露出していると、その表面の電位が不安定となるため電子放出特性が不安定になることが、本出願人による特願平2-072534号で述べられている。

【0007】更に、上記絶縁性基板表面に電子、イオン等の荷電粒子が吸着ないし注入されると、絶縁性基板表面が帯電し、特に高電界下では放電に至るため表面伝導型電子放出素子の電子放出特性が著しく低下し、最悪の場合には、表面伝導型電子放出素子が破壊することが実験的に確かめられている。この帯電現象については未だ不明な点があるが、表面伝導型電子放出素子から放出された電子による帯電、あるいは表面伝導型電子放出素子を構成する部材から発生したイオンによる帯電等が考えられる。

【0008】これら、真空中での電子放出特性の不安定性、表面伝導型電子放出素子の放電劣化を防止するためには、絶縁性基板表面が露出しないように適当な導電体被膜（帯電防止膜）で被覆することが効果的であるが、この被膜によって素子電極間にリーク電流が流れるので、表面伝導型電子放出素子の見かけの効率が低下する。ここで効率とは、表面伝導型電子放出素子の一対の対向する素子電極に電圧を印加したとき、流れる電流（以下、「素子電流 I_f 」という。）に対する真空中に放出される電流（以下、「放出電流 I_e 」という。）との電流比を指す。

【0009】即ち、素子電流 I_f はできるだけ小さく、放出電流 I_e はできるだけ大きいことが望ましいが、上記帯電防止膜のリーク電流が素子電流 I_f に加算されるため、効率が低下する。

【0010】従って、帯電を防止でき、かつリーク電流が実質上問題にならないほど小さい被膜を形成するのが好ましく、この被膜の膜厚、抵抗値を精度良くコントロールした状態で均一に形成できる技術が望まれている。

【0011】以上のように電子放出特性の安定性と寿命の向上がなされれば、例えば蛍光体を画像形成部材とする画像形成装置においては、高品位な画像形成装置、例

えばフラットテレビが実現される。

【0012】本発明は、電子放出特性の安定性の良い表面伝導型電子放出素子が得られるようにすると共に、高品位な画像が得られる画像形成装置を得ることを目的とする。

【0013】

【課題を解決するための手段及び作用】請求項1～7の発明は、表面伝導型電子放出素子の製造方法に関する発明で、基板上に素子電極を形成すると共に、素子電極間を連絡する電子放出部形成用の薄膜を形成する工程と、帯電防止膜を形成する工程と、電子放出部形成用の薄膜に電子放出部を形成するフォーミング工程とを有する点に特徴を有するものである。

【0014】請求項8～12の発明は、上記製造方法で得られる表面伝導型電子放出素子に関する発明である。

【0015】請求項13～19の発明は、上記表面伝導型電子放出素子を複数個備えた電子源の製造方法に関する発明で、基板上に複数対の素子電極を形成すると共に、各対の素子電極間を連絡する電子放出部形成用の薄膜を形成する工程と、各表面伝導型電子放出素子上に帯電防止膜を形成する工程と、各電子放出部形成用の薄膜に電子放出部を形成するフォーミング工程とを有する点に特徴を有するものである。

【0016】請求項20～24の発明は、上記製造方法で得られる電子源に関する発明である。

【0017】更に、請求項24～28の発明は、上記電子源を用いた画像形成装置及びその製造方法に関する発明である。

【0018】上記のように、本発明は、新規な表面伝導型電子放出素子、この表面伝導型電子放出素子を複数個備えた新規な電子源、これを用いた新規な画像形成装置及びこれらの製造方法に係るもので、各発明の構成及び作用を以下に更に説明する。

【0019】本発明の表面伝導型電子放出素子には平面型と垂直型がある。まず、平面型の表面伝導型電子放出素子の基本的な構成について説明する。

【0020】図1(a)、(b)は、平面型の表面伝導型電子放出素子の基本的な構成を示す図である。

【0021】図1において1は基板、2は電子放出部、3は電子放出部を含む薄膜、4と5は素子電極、6は帯電防止膜である。

【0022】基板1としては、例えば石英ガラス、Na等の不純物含有量を減少させたガラス、青板ガラス、青板ガラスにスパッタ法等により SiO_2 を積層した積層体、アルミナ等のセラミックス等が挙げられる。

【0023】対向する素子電極4、5の材料としては、一般的導体材料が用いられ、例えばNi、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属あるいは合金及びPd、Ag、Au、 RuO_2 、Pd-Ag等の金属あるいは金属酸化物とガラス等から構成される

印刷導体、 In_2O_3 - SnO_2 等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択される。

【0024】素子電極間隔L、素子電極長さW、電子放出部を含む薄膜3の形状等は、応用される形態等によって設計される。

【0025】素子電極間隔Lは、数百オングストロームから数百マイクロメートルであることが好ましく、より好ましくは、素子電極4、5間に印加する電圧と電子放出し得る電界強度等により、数マイクロメートルから数十マイクロメートルである。

【0026】素子電極長さWは、電極の抵抗値や電子放出特性を考慮すると、好ましくは数マイクロメートルから数百マイクロメートルであり、また素子電極厚dは、数百オングストロームから数マイクロメートルである。

【0027】尚、図1に示される表面伝導型電子放出素子は、基板1上に、素子電極4、5、電子放出部を含む薄膜3の順に積層されたものとなっているが、基板1上に、電子放出部を含む薄膜3、素子電極4、5の順に積層したものとしてもよい。

【0028】電子放出部を含む薄膜3は、良好な電子放出特性を得るためには、微粒子で構成された微粒子膜であることが特に好ましく、その膜厚は、素子電極4、5へのステップカバレッジ、素子電極4、5間の抵抗値及び後述するフォーミング条件等によって適宜選択される。この電子放出部を含む薄膜3の膜厚は、好ましくは数オングストロームから数千オングストロームで、特に好ましくは10オングストロームから500オングストロームである。

【0029】また、この電子放出部を含む薄膜3の抵抗値は、10の7乗オーム/□以下のシート抵抗値を示すのが好ましい。この電子放出部を含む薄膜3の抵抗値は、後述する電子放出部の形成工程、すなわちフォーミング工程において、良好な電子放出部の形成できるシート抵抗値として制限される。良好な電子放出部を形成するには、10の3乗オーム/□以上10の7乗オーム/□以下のシート抵抗値であることが好ましい。

【0030】しかしながら、電子放出部2を形成した後は、素子電極を通じて印加される電圧が十分に電子放出部2に印加されるのが好ましく、電子放出部を含む薄膜3のシート抵抗値はより低い方が好ましい。このため、詳しくは後述するが、電子放出部を含む薄膜3は、10の3乗オーム/□以上10の7乗オーム/□以下のシート抵抗値を持つ金属酸化物半導体薄膜として形成し、フォーミング処理後に還元して、より低抵抗な金属薄膜として用いることができる。従って、最終的な状態での電子放出部を含む薄膜3の抵抗値の下限は特に限定されない。尚、ここに言う電子放出部を含む薄膜3の抵抗値とは、電子放出部2を含まない領域で測定されるシート抵抗値を意味している。

【0031】本発明における電子放出部を含む薄膜3を

構成する材料としては、例えばPd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属、PdO、SnO₂、In₂O₃、PbO、Sb₂O₃等の酸化物、HfB₂、ZrB₂、LaB₆、CeB₆、YB₄、Gd₂B₄等の硼化物、TiC、ZrC、HfC、TaC、SiC、WCなどの炭化物、TiN、ZrN、HfN等の窒化物、Si、Ge等の半導体、カーボン等が挙げられる。

【0032】尚、上記微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは重なり合った状態（島状も含む）の膜をさす。微粒子膜である場合、微粒子の粒径は、数オングストロームから数千オングストロームであることが好ましく、特に好ましくは10オングストロームから200オングストロームである。

【0033】一方、帯電防止膜6は、金属ないし半導体を主成分とする島状の薄膜であるが、この帯電防止膜6の好ましい抵抗値は、以下に述べるように決定される。

【0034】本発明の表面伝導型電子放出素子の特性は、素子の両端に印加される電圧V_fと、素子間を流れる電流I_fと、放出される電子による電流I_eとによって特徴づけられる。図2に、最大電圧V_mの三角波を表面伝導型電子放出素子に印加したときのI_f、I_eの波形を示す。図2(a)は、帯電防止膜6を形成していない表面伝導型電子放出素子の場合であり、I_fはV_t以上で立ち上がり、I_fが増加するに伴いI_eも増加する特性を有している。図2(b)は、帯電防止膜6を形成した表面伝導型電子放出素子の場合であり、回路的には表面伝導型電子放出素子と並列に抵抗R_aが接続されたものと等価である。図2(b)に示されるように、I_fの波形は図2(a)のI_fの波形にオーミックな電流を足し合わせたような波形になる。

【0035】一般に、I_e/I_fは電子放出効率ηとして定義され、効率ηは大きいほど好ましいので、図2(b)のようなI_fの増加は表面伝導型電子放出素子の特性を低下させる。また、このような表面伝導型電子放出素子を、後述するような単純マトリックス駆動する場合は、選択時（駆動素子）に流れる電流に対して半選択時（非駆動素子）に流れる電流は十分小さい方が望ましい。一般には、半選択時に表面伝導型電子放出素子に印加される電圧は選択時に印加される電圧（駆動電圧V_{op}）の1/2であり、その時の電流は選択時の電流の1/(1ラインの素子数n)以下であるのが望ましい。

【0036】例えば、図2(a)の特性を持つ表面伝導型電子放出素子をV_{op}=V_mで駆動する場合、V_{op}/2の電圧ではI_f~0なので単純マトリックス駆動において理想的であるが、図2(b)の特性を持つ表面伝導型電子放出素子の場合、V_{op}/2の電圧ではI_f=V_{op}/(2×R_a)の電流が流れるため、好ましく

は印加電圧V_{op}時の素子電流I_{op}に対し1/n以下となるようにR_aを設定する。従って、R_a≥nV_{op}/2I_{op}となるR_aを実現するのが望ましい。尚、R_a~ρ_a×L/(d×W')であり、ここで、Lは素子電極間距離、W'は素子電極長さから素子幅を差し引いた長さ、dは帯電防止膜6の厚さ、ρ_aは帯電防止膜6の比抵抗であり、ρ_a/dはシート抵抗として定義される。

【0037】それぞれの典型的な値として、V_{op}=20V、I_{op}=1mA、W'=10マイクロメートル、n=1000とすると、ρ_a/d≥1×10の8乗オーム/□となる。

【0038】また、帯電防止膜6が十分な帯電防止効果を有するために必要な抵抗値は、放出電子による基板表面の帯電レートや放出電子を加速するためのアノード電圧、表面伝導型電子放出素子とアノード電極間の距離等によって異なるが、放電を防止するためには10の12乗オーム/□程度のシート抵抗値以下であるのが好ましく、また、電子放出特性の安定化のためには10の10乗オーム/□程度のシート抵抗値以下であるのが好ましい。

【0039】電子放出部2には亀裂が含まれており、電子放出はこの亀裂付近から行われる。この亀裂を含む電子放出部2及び亀裂自体は、電子放出部を含む薄膜3の膜厚、膜質、材料及び後述するフォーミング条件等の製法に依存して形成される。従って、電子放出部2の位置及び形状は図1に示されるような位置及び形状に特定されるものではない。

【0040】亀裂は、数オングストロームから数百オングストロームの粒径の導電性微粒子を有することもある。この導電性微粒子は、電子放出部を含む薄膜3を構成する材料の元素の一部、あるいは総てと同様のものである。また、亀裂を含む電子放出部2及びその近傍の電子放出部を含む薄膜3は炭素及び炭素化合物を有することもある。

【0041】次に、垂直型の表面伝導型電子放出部の基本的な構成について説明する。

【0042】図3は、垂直型の表面伝導型電子放出部の基本的な構成を示す図で、図中31は段差形成部材で、その他図1と同じ符号は同じ部材を示すものである。

【0043】基板1、電子放出部2、電子放出部を含む薄膜3、素子電極4、5及び帯電防止膜6は、前述した平面型の表面伝導型電子放出部と同様の材料で構成されたものである。

【0044】段差形成部材31は、例えば真空蒸着法、印刷法、スパッタ法等で付設されたSiO₂等の絶縁性材料で構成されたものである。この段差形成部材31の膜厚は、先に述べた平面型の表面伝導型電子放出部の素子電極間隔L（図1参照）に対応するもので、段差形成部材31の作成法や素子電極4、5間に印加する電圧と

電子放出し得る電界強度により設定されるが、好ましくは数百オングストロームから数十マイクロメートルであり、特に好ましくは数百オングストロームから数マイクロメートルである。

【0045】電子放出部を含む薄膜3は、通常、素子電極4、5の作成後に形成されるので、素子電極4、5の上に積層されるが、電子放出部を含む薄膜3の形成後に素子電極4、5を作成し、電子放出部を含む薄膜3の上に素子電極4、5が積層されるようにすることも可能である。また、平面型の表面伝導型電子放出部の説明において述べてように、電子放出部2の形成は、電子放出部を含む薄膜3の膜厚、膜質、材料及び後述するフォーミング条件等の製法に依存するので、その位置及び形状は図3に示されるような位置及び形状に特定されるものではない。

【0046】尚、以下の説明は、上述の平面型の表面伝導型電子放出部と垂直型の表面伝導型電子放出部の内、平面型を例にして説明するが、平面型の表面伝導型電子放出部に代えて垂直型の表面伝導型電子放出部としてもよい。

【0047】本発明の表面伝導型電子放出部の製法としては様々な方法が考えられるが、その一例を図4ないし図7に基づいて説明する。尚、図4において図1と同じ符号は同じ部材を示すものである。

【0048】1) 基板1を洗剤、純水及び有機溶剤により十分に洗浄した後、真空蒸着法、スパッタ法等により素子電極材料を堆積させた後、フォトリソグラフィ技術により基板1の面上に素子電極4、5を形成する(図4(a))。

【0049】2) 素子電極4、5を設けた基板1上に有機金属溶液を塗布して放置することにより、素子電極4と素子電極5間を連絡して有機金属薄膜を形成する。尚、有機金属溶液とは、前述の電子放出部形成用の薄膜3の構成材料の金属を主元素とする有機化合物の溶液である。この後、有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターンニングされた電子放出部形成用の薄膜3を形成する(図4(b))。

【0050】本発明においては、上記加熱焼成時に加熱温度を所定の温度に制御することにより、電子放出部形成用の薄膜3の構成材料が、酸化物と金属の2相混合状態か、あるいは非化学量論組成を有する酸化物を有する状態にすることが好ましい。これは再酸化又は還元によって抵抗値の調整を広範囲で行えるためである。

【0051】尚、ここでは、有機金属溶液の塗布法により説明したが、これに限ることなく、例えば真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピンナー法等によって有機金属膜を形成することもできる。

【0052】3) 次に、帯電防止膜6を形成する(図4(c))。帯電防止膜6の材料は、容易かつ大面積に均

一な島状の膜が得られるものが好ましく、後述するように、酸化パラジウムあるいは金属パラジウムが好適である。尚、この工程は、2)の電子放出部形成用の薄膜3の形成の前に行っても同様の効果が得られる。

【0053】大面積に均一な膜を形成する技術としてラングミュア・プロジェクト法(以下、「LB法」という。)が知られている。これは、水面上に浮かべた有機分子の単分子層を基板上に累積していくことにより分子長オーダで制御された膜厚の薄膜(LB膜)を形成する方法である。LB法は、一般には、有機分子(高分子を含む)の成膜に用いられる。金属、酸化物等の無機薄膜を形成するには、有機金属錯体を用いて成膜し、その後、紫外線照射や加熱処理等の処理を施すことによって無機薄膜を得ることができる。本発明者等の検討によれば、比較的合成、入手し易い有機金属錯体である酢酸パラジウム錯体は、LB法による成膜が可能であり、LB膜の累積層数及び成膜後の適当な処理を行うことで、均一な酸化パラジウムの微粒子膜あるいは島状膜を形成することができる。尚、酸化パラジウムは、通常p型伝導を有する半導体である。

【0054】更に、この酸化パラジウム微粒子膜あるいは島状膜を、還元雰囲気中にさらすか、真空中で150℃程度以上のアニーリングを行うと、微粒子サイズが減少した金属パラジウム膜、すなわち均一なパラジウムの島状膜が得られる。LB法によれば、酸化パラジウム島状膜、および還元後に得られるパラジウム島状膜における島の大きさや密度を、LB膜の累積層数によって精度良くコントロールすることが可能である。すなわち、LB膜の累積層数によって10の8乗オーム/□から10の13乗オーム/□の所望のシート抵抗値を有する酸化パラジウム薄膜あるいは金属パラジウムを得ることができる。

【0055】尚、上述の酸化パラジウムから金属パラジウムへの還元工程は、次のフォーミング工程後に行っても良い。特に、電子放出部を含む薄膜3が同時に還元される材質のものの場合は、フォーミング工程後に還元の方が好ましい。これは、還元後の電子放出部を含む薄膜3の抵抗値が10の3乗オーム/□以下になると、フォーミング処理による電子放出部2の形成が困難になるためである。

【0056】4) 続いて、フォーミングと呼ばれる通電処理を施す。素子電極4、5間に不図示の電源より通電すると、電子放出部形成用の薄膜3の部位に構造の変化した電子放出部2が形成される(図4(d))。この通電処理により電子放出部形成用の薄膜3を局所的に破壊、変形もしくは変質せしめ、構造の変化した部位が電子放出部2である。

【0057】フォーミングの電圧波形の例を図5に示す。

【0058】電圧波形は、特にパルス波形が好ましく、

パルス波高値を定電圧とした電圧パルスを連続的に印加する場合(図5(a))と、パルス波高値を増加させながら電圧パルスを印加する場合(図5(b))とがある。

【0059】まず、パルス波高値を定電圧とした場合について図5(a)で説明する。

【0060】図5(a)におけるT1及びT2は電圧波形のパルス幅とパルス間隔であり、例えば、T1を1マイクロ秒~10ミリ秒、T2を10マイクロ秒~100ミリ秒とし、波高値(フォーミング時のピーク電圧)を前述した表面伝導型電子放出素子の形態に応じて適宜選択して、適当な真空度の真空雰囲気下で、数秒から数十分印加する。尚、印加する電圧波形は、図示される三角波に限定されるものではなく、矩形波等の所望の波形を用いることができる。

【0061】次に、パルス波高値を増加させながら電圧パルスを印加する場合について図5(b)で説明する。

【0062】図5(b)におけるT1及びT2は図5(a)と同様であり、波高値(フォーミング時のピーク電圧)を、例えば0.1Vステップ程度ずつ増加させ、図5(a)の説明と同様の適当な真空雰囲気下で印加する。

【0063】尚、パルス間隔T2中に、電子放出部形成用の薄膜3を局部的に破壊、変形もしくは変質させない程度の電圧、例えば0.1V程度の電圧で素子電流を測定して抵抗値を求め、例えば1Mオーム以上の抵抗を示したときにフォーミングを終了することが好ましい。

【0064】上記フォーミング工程からそれ以降の工程は、図6に示されるような測定評価系内で行われるものである。この測定評価系について説明する。

【0065】図6において、図1と同じ符号は同じ部材を示す。また、61は素子に素子電圧Vfを印加するための電源、60は素子電極4、5間の電子放出部形成用の薄膜3を流れる素子電流Ifを測定するための電流計、64は電子放出部2より放出される放出電流Ieを捕捉するためのアノード電極、63はアノード電極64に電圧を印加するための高圧電源、62は電子放出部2より放出される放出電流Ieを測定するための電流計、65は真空装置、66は排気ポンプである。

【0066】表面伝導型電子放出素子及びアノード電極64等は真空装置65内に設置され、この真空装置65には不図示の真空計等の必要な機器が具備されていて、所望の真空下で表面伝導型電子放出素子の測定評価ができるようになっている。

【0067】排気ポンプ66は、ターボポンプ、ロータリーポンプ等からなる通常の高真空装置系と、イオンポンプ等からなる超高真空装置系とから構成されている。また、真空装置65全体及び表面伝導型電子放出素子の基板1は、ヒーターにより200℃程度まで加熱できるようにしている。尚、この測定評価系は、後述するよ

うな表示パネルの組み立て段階において、表示パネル及びその内部を真空装置65及びその内部として構成することで、フォーミング工程及び後述するそれ以後の工程における測定評価及び処理に応用されるものである。

【0068】5)本発明の表面伝導型電子放出素子の場合、更に活性化工程を施すことが好ましい。

【0069】活性化工程とは、例えば10の-4乗~10の-5乗torr程度の真空度で、パルス波高値を定電圧としたパルスの印加を繰り返す処理のことをいい、真空雰囲気中に存在する有機物質から炭素及び炭素化合物を電子放出部2に堆積させることで、素子電流、放出電流の状態を著しく向上させることができる工程である。この活性化工程は、例えば素子電流や放出電流を測定しながら行って、例えば放出電流が飽和した時点で終了するようにすれば効果的であるので好ましい。また、活性化工程でのパルス波高値は、好ましくは駆動電圧の波高値である。

【0070】尚、上記炭素及び炭素化合物とは、グラファイト(単結晶及び多結晶の双方を指す)、非晶質カーボン(非晶質カーボン及びこれと多結晶グラファイトとの混合物を指す)である。また、その堆積膜厚は、好ましくは500オングストローム以下、より好ましくは300オングストローム以下である。

【0071】6)このようにして作成した表面伝導型電子放出素子を、フォーミング工程、活性化工程での真空度より高い真空度の真空雰囲気下で動作駆動する、安定化工程を施すことが好ましい。より好ましくは、この高い真空度の真空雰囲気下で、80~150℃の加熱の後、動作駆動する。

【0072】尚、フォーミング工程、活性化工程の真空度より高い真空度の真空雰囲気とは、例えば約10の-6乗torr以上の真空度を有する真空雰囲気であり、より好ましくは超高真空系であり、炭素及び炭素化合物が新たにほぼ堆積しない真空度である。

【0073】即ち、表面伝導型電子放出素子を上記真空雰囲気中に封入してしまうことにより、これ以上の炭素及び炭素化合物の堆積を抑制することが可能となり、これによって素子電流If、放出電流Ieが安定する。

【0074】このようにして得られる表面伝導型電子放出素子の基本特性を以下に説明する。

【0075】以下に述べる表面伝導型電子放出素子の基本特性は、図6の測定評価系のアノード電極64の電圧を1kV~10kVとし、アノード電極64と表面伝導型電子放出素子の距離Hを2~8mmとして行った測定に基づくものである。

【0076】まず、放出電流Ie及び素子電流Ifと、素子電圧Vfとの関係の典型的な例を図7に示す。尚、図7において、放出電流Ieは素子電流Ifに比べて著しく小さいので、任意単位で示されている。尚、縦軸、横軸ともにリニアスケールである。

【0077】図7から明らかなように、表面伝導型電子放出素子は、放出電流 I_e に対する次の3つの特徴的特性を有する。

【0078】まず第1に、表面伝導型電子放出素子はある電圧（しきい値電圧と呼ぶ：図7中の V_{th} ）を超える素子電圧 V_f を印加すると急激に放出電流 I_e が増加し、一方しきい値電圧 V_{th} 以下では放出電流 I_e が殆ど検出されない。即ち、放出電流 I_e に対する明確なしきい値電圧 V_{th} を持った非線形素子である。

【0079】第2に、放出電流 I_e が素子電圧 V_f に対して単調増加する特性（ $M I$ 特性と呼ぶ）を有するため、放出電流 I_e は素子電圧 V_f で制御できる。

【0080】第3に、アノード電極64（図6参照）に補足される放出電荷は、素子電圧 V_f を印加する時間に依存する。即ち、アノード電極64に捕捉される電荷量は、素子電圧 V_f を印加する時間により制御できる。

【0081】放出電流 I_e が素子電圧 V_f に対して $M I$ 特性を有すると同時に、素子電流 I_f も素子電圧 V_f に対して $M I$ 特性を有する場合もある。このような表面伝導型電子放出素子の特性の例が図7の実線で示す特性である。一方、図7に破線で示すように、素子電流 I_f は素子電圧 V_f に対して電圧制御型負性抵抗特性（ $V C N R$ 特性と呼ぶ）を示す場合もある。いずれの特性を示すかは、表面伝導型電子放出素子の製法及び測定時の測定条件等に依存する。但し、図7において、実線及び破線で表わされた特性は互いに、縦横軸とも異なるスケールで示されている。また、素子電流 I_f が素子電圧 V_f に対して $V C N R$ 特性を有する表面伝導型電子放出素子でも、上記3つの特性上の特徴を有する。

【0082】本発明における帯電防止膜6の形成によって、表面伝導型電子放出素子の基本的な特性は左右されない。これは、帯電防止膜6の抵抗値が十分に高いため（ 10^8 の8乗オーム/□以上）、電子放出を行っているときに観測される素子電流に比べて、帯電防止膜6を流れて流れるリーク電流が十分に小さいためである。

【0083】一方、絶縁性基板表面の帯電が防止されるため、絶縁性基板表面の電位不安定に起因した電子放出特性の不安定性や、素子近傍とアノード電極間での放電が抑制されるために、長時間の安定な電子放出特性が得られる。

【0084】以上のように本発明の表面伝導型電子放出素子は、長時間にわたって安定な電子放出特性、即ち、素子電流 I_f 、放出電流 I_e の素子印加電圧に対する単調増加特性を有するため、多方面への応用が期待できる。

【0085】以上、表面伝導型電子放出素子の基本的な構成、製法について述べたが、本発明の思想によれば、表面伝導型電子放出素子の特性で3つの特徴を有すれば、上述の構成等に限定されず、後述の電子源、表示装置等の画像形成装置においても適用できる。

【0086】次に、本発明の電子源における表面伝導型電子放出素子の配列について説明する。

【0087】本発明の電子源における表面伝導型電子放出素子の配列方式としては、従来の技術の項で述べたような梯型配置の他、 m 本の X 方向配線の上に n 本の Y 方向配線を層間絶縁層を介して設置し、表面伝導型電子放出素子の一对の素子電極に夫々 X 方向配線、 Y 方向配線を接続した配置方式が挙げられる。これを以後単純マトリクス配置と呼ぶ。まず、この単純マトリクス配置について詳述する。

【0088】前述した表面伝導型電子放出素子の基本的特性によれば、単純マトリクス配置された表面伝導型電子放出素子における放出電子は、しきい値電圧を超える電圧では、対向する素子電極間に印加するパルス状電圧の波高値とパルス幅で制御できる。一方、しきい値電圧以下では殆ど電子は放出されない。従って、多数の表面伝導型電子放出素子を配置した場合においても、個々の素子に上記パルス状電圧を適宜印加すれば、入力信号に応じて表面伝導型電子放出素子を選択し、その電子放出量が制御でき、単純なマトリクス配線だけで個別の表面伝導型電子放出素子を選択して独立に駆動可能となる。

【0089】単純マトリクス配置はこのような原理に基づくもので、本発明の電子源の一例である、この単純マトリクス配置の電子源の構成について図8に基づいて更に説明する。

【0090】図8において基板1は既に説明したようなガラス板等であり、この基板1上に配列された本発明の表面伝導型電子放出素子84の個数及び形状は用途に応じて適宜設定されるものである。

【0091】 m 本の X 方向配線82は、夫々外部端子 D_{x1} , D_{x2} , …… , D_{xm} を有するもので、基板1上に、真空蒸着法、印刷法、スパッタ法等で形成した導電性金属等である。また、多数の表面伝導型電子放出素子84にほぼ均等に電圧が供給されるように、材料、膜厚、配線幅が設定されている。

【0092】 n 本の Y 方向配線83は、夫々外部端子 D_{y1} , D_{y2} , …… , D_{yn} を有するもので、 X 方向配線82と同様に作成される。

【0093】これら m 本の X 方向配線82と n 本の Y 方向配線83間には、不図示の層間絶縁層が設置され、電気的に分離されて、マトリクス配線を構成している。尚、この m , n は共に正の整数である。

【0094】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等で形成された SiO_2 等であり、 X 方向配線82を形成した基板1の全面或は一部に所望の形状で形成され、特に、 X 方向配線82と Y 方向配線83の交差部の電位差に耐え得るように、膜厚、材料、製法が適宜設定される。

【0095】更に、表面伝導型電子放出素子84の対向する素子電極（不図示）が、 m 本の X 方向配線82と、

n本のY方向配線83と、真空蒸着法、印刷法、スパッタ法等で形成された導電性金属等からなる結線85によって電氣的に接続されているものである。

【0096】ここで、m本のX方向配線82と、n本のY方向配線83と、結線85と、対向する素子電極とは、その構成元素の一部あるいは全部が同一であっても、また夫々異なっているとしてもよく、前述の素子電極の材料等より適宜選択される。これら素子電極への配線は、素子電極と材料が同一である場合は素子電極と総称する場合もある。また、表面伝導型電子放出素子84は、基板1あるいは不図示の層間絶縁層上どちらに形成してもよい。

【0097】また、詳しくは後述するが、前記X方向配線82には、X方向に配列された表面伝導型電子放出素子84の行を入力信号に応じて走査するために、走査信号を印加する不図示の走査信号印加手段が電氣的に接続されている。

【0098】一方、Y方向配線83には、Y方向に配列された表面伝導型電子放出素子84の列の各列を入力信号に応じて変調するために、変調信号を印加する不図示の変調信号発生手段が電氣的に接続されている。更に、各表面伝導型電子放出素子84に印加される駆動電圧は、当該表面伝導型電子放出素子84に印加される走査信号と変調信号の差電圧として供給されるものである。

【0099】次に、以上のような単純マトリクス配置の本発明の電子源を用いた本発明の画像形成装置の一例を、図9～図11を用いて説明する。尚、図9は表示パネル111の基本構成図であり、図10は蛍光膜94を示す図であり、図11は図9の表示パネル111で、NTSC方式のテレビ信号に応じてテレビジョン表示を行うための駆動回路の一例を示すブロック図である。

【0100】図9において、1は上述のようにして本発明の表面伝導型電子放出素子を配置した電子源の基板、91は基板1を固定したリアプレート、96はガラス基板93の内面に蛍光膜94とメタルバック95等が形成されたフェースプレート、92は支持枠であり、リアプレート91、支持枠92及びフェースプレート96にフリットガラス等を塗布し、大気中あるいは窒素中で、400～500℃で10分以上焼成することで封着して外囲器98を構成している。

【0101】図9において、2は図1における電子放出部に相当する。82、83は、表面伝導型電子放出素子84の一对の素子電極4、5と接続されたX方向配線及びY方向配線で、夫々外部端子Dx1ないしDxm、Dy1ないしDynを有している。

【0102】外囲器98は、上述の如く、フェースプレート96、支持枠92、リアプレート91で構成されている。しかし、リアプレート91は主に基板1の強度を補強する目的で設けられるものであり、基板1自体で十分な強度を持つ場合は別体のリアプレート91は不要

で、基板1に直接支持枠92を封着し、フェースプレート96、支持枠92、基板1にて外囲器98を構成してもよい。また、フェースプレート96、リアプレート91の間にスペーサーと呼ばれる不図示の支持体を更に設置することで、大気圧に対して十分な強度を有する外囲器98とすることもできる。

【0103】蛍光膜94は、モノクロームの場合は蛍光体102のみからなるが、カラーの蛍光膜94の場合は、蛍光体102の配列により、ブラックストライプ（図10(a)）あるいはブラックマトリクス（図10(b)）等と呼ばれる黒色導伝材101と蛍光体102とで構成される。ブラックストライプ、ブラックマトリクスが設けられる目的は、カラー表示の場合必要となる三原色の各蛍光体102間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜94における外光反射によるコントラストの低下を抑制することである。黒色導伝材101の材料としては、通常良く用いられている黒鉛を主成分とする材料だけでなく、導電性があり、光の透過及び反射が少ない材料であれば他の材料を用いることもできる。

【0104】ガラス基板93に蛍光体102を塗布する方法としては、モノクローム、カラーによらず、沈着法や印刷法が用いられる。

【0105】また、図9に示されるように、蛍光膜94の内面側には通常メタルバック95が設けられる。メタルバック95の目的は、蛍光体102（図10参照）の発光のうち内面側への光をフェースプレート96側へ鏡面反射することにより輝度を向上すること、電子ビーム加速電圧を印加するための電極として作用すること、外囲器98内で発生した負イオンの衝突によるダメージからの蛍光体102の保護等である。メタルバック95は、蛍光膜94の作製後、蛍光膜94の内面側表面の平滑化処理（通常フィルミングと呼ばれる）を行い、その後A1を真空蒸着等で堆積することで作製できる。

【0106】フェースプレート96には、更に蛍光膜94の導伝性を高めるため、蛍光膜94の外側面に透明電極（不図示）を設けてもよい。

【0107】前述の封着を行う際、カラーの場合は各色蛍光体102と表面伝導型電子放出素子84とを対応させなくてはならないため、十分な位置合わせを行なう必要がある。

【0108】外囲器98内は、不図示の排気管を通じ、10の-7乗torr程度の真空度にされ、封止される。また、外囲器98の封止を行う直前あるいは封止後に、ゲッター処理を行うこともある。これは、外囲器98内の所定の位置に配置したゲッター（不図示）を加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、例えば1×10の-5乗ないしは1×10の-7乗torrの真空度を維持するためのものである。

【0109】尚、前述したフォーミング及びこれ以降の表面伝導型電子放出素子の各製造工程は、通常、外囲器98の封止直前又は封止後に行われるもので、その内容は前述の通りである。

【0110】上述の表示パネル111は、例えば図11に示されるような駆動回路で駆動することができる。尚、図11において、111は表示パネル、112は走査回路、113は制御回路、114はシフトレジスタ、115はラインメモリ、116は同期信号分離回路、117は変調信号発生器、Vx及びVaは直流電圧源である。

【0111】図11に示されるように、表示パネル111は、外部端子Dx1ないしDxm、外部端子Dy1ないしDyn及び高圧端子Hvを介して外部の電気回路と接続されている。この内、外部端子Dx1ないしDxmには前記表示パネル111内に設けられている表面伝導型電子放出素子、即ちm行n列の行列状にマトリクス配置された表面伝導型電子放出素子群を1行(n素子ずつ)順次駆動して行くための走査信号が印加される。

【0112】一方、端子Dy1ないし外部端子Dynには、前記走査信号により選択された1行の各表面伝導型電子放出素子の出力電子ビームを制御するための変調信号が印加される。また、高圧端子Hvには、直流電圧源Vaより、例えば10kVの直流電圧が供給される。これは表面伝導型電子放出素子より出力される電子ビームに、蛍光体を励起するのに十分なエネルギーを付与するための加速電圧である。

【0113】走査回路112は、内部にm個のスイッチング素子(図11中S1ないしSmで模式的に示す)を備えるもので、各スイッチング素子S1~Smは、直流電圧電源Vxの出力電圧もしくは0V(グランドレベル)のいずれか一方を選択して、表示パネル111の外部端子Dx1ないしDxmと電気的に接続するものである。各スイッチング素子S1~Smは、制御回路113が出力する制御信号Tscanに基づいて動作するもので、実際には、例えばFETのようなスイッチング機能を有する素子を組み合わせることにより容易に構成することが可能である。

【0114】本例における前記直流電圧源Vxは、前記表面伝導型電子放出素子の特性(しきい値電圧)に基づき、走査されていない表面伝導型電子放出素子に印加される駆動電圧がしきい値電圧以下となるような一定電圧を出力するよう設定されている。

【0115】制御回路113は、外部より入力される画像信号に基づいて適切な表示が行われるように、各部の動作を整合させる働きを持つものである。次に説明する同期信号分離回路116より送られる同期信号Tsyncに基づいて、各部に対してTscan、Tsft及びTmryの各制御信号を発生する。

【0116】同期信号分離回路116は、外部から入力

されるNTSC方式のテレビ信号から、同期信号成分と輝度信号成分を分離するための回路で、よく知られているように、周波数分離(フィルター)回路を用いれば、容易に構成できるものである。同期信号分離回路116により分離された同期信号は、これもよく知られるように、垂直同期信号と水平同期信号よりなる。ここでは、説明の便宜上Tsyncとして図示する。一方、前記テレビ信号から分離された画像の輝度信号成分を便宜上DATA信号と図示する。このDATA信号はシフトレジスタ114に入力される。

【0117】シフトレジスタ114は、時系列的にシリアル入力される前記DATA信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路113より送られる制御信号Tsftに基づいて作動する。この制御信号Tsftは、シフトレジスタ114のシフトクロックであると言い換えてもよい。また、シリアル/パラレル変換された画像1ライン分(表面伝導型電子放出素子のn素子分の駆動データに相当する)のデータは、Id1ないしIdnのn個の並列信号として前記シフトレジスタ114より出力される。

【0118】ラインメモリ115は、画像1ライン分のデータを必要時間だけ記憶するための記憶装置であり、制御回路113より送られる制御信号Tmryに従って適宜Id1ないしIdnの内容を記憶する。記憶された内容は、Id'1ないしId'nとして出力され、変調信号発生器117に入力される。

【0119】変調信号発生器117は、前記画像データId'1ないしId'nの各々に応じて、表面伝導型電子放出素子の各々を適切に駆動変調するための信号源で、その出力信号は、端子Dy1ないしDynを通じて表示パネル111内の表面伝導型電子放出素子に印加される。

【0120】前述したように、表面伝導型電子放出素子は電子放出に明確なしきい値電圧を有しており、しきい値電圧を超える電圧が印加された場合のみ電子放出が生じる。また、しきい値電圧を超える電圧に対しては表面伝導型電子放出素子への印加電圧の変化に応じて放出電流も変化して行く。表面伝導型電子放出素子の材料、構成、製造方法を変えることにより、しきい値電圧の値や印加電圧に対する放出電流の変化度合いが変わる場合もあるが、いずれにしても以下のことがいえる。

【0121】即ち、表面伝導型電子放出素子にパルス状の電圧を印加する場合、例えばしきい値電圧以下の電圧を印加しても電子放出は生じないが、しきい値電圧を超える電圧を印加する場合には電子放出を生じる。その際、第1には電圧パルスの波高値を変化させることにより、出力される電子ビームの強度を制御することが可能である。第2には、電圧パルスの幅を変化させることにより、出力される電子ビームの電荷の総量を制御することが可能である。

【0122】従って、入力信号に応じて表面伝導型電子放出素子を変調する方式としては、電圧変調方式とパルス幅変調方式とが挙げられる。電圧変調方式を行う場合、変調信号発生器117としては、一定の長さの電圧パルスを発生するが、入力されるデータに応じて適宜パルスの波高値を変調できる電圧変調方式の回路を用いる。また、パルス幅変調方式を行う場合、変調信号発生器117としては、一定の波高値の電圧パルスを発生するが、入力されるデータに応じて適宜パルス幅を変調できるパルス幅変調方式の回路を用いる。

【0123】シフトレジスタ114やラインメモリ115は、デジタル信号式のものでもアナログ信号式のものでもよく、画像信号のシリアル/パラレル変換や記憶が所定の速度で行えるものであればよい。

【0124】デジタル信号式を用いる場合には、同期信号分離回路116の出力信号DATAをデジタル信号化する必要がある。これは同期信号分離回路116の出力部にA/D変換器を設けることで行える。

【0125】また、これに関連して、ラインメモリ115の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器117に設けられる回路が若干異なるものとなる。

【0126】即ち、デジタル信号で電圧変調方式の場合、変調信号発生器117には、例えばよく知られているD/A変換回路を用い、必要に応じて増幅回路等を付け加えればよい。また、デジタル信号でパルス幅変調方式の場合、変調信号発生器117は、例えば高速の発振器及び発振器の出力する波数を計数する計数器(カウンタ)及び計数器の出力値と前記メモリの出力値を比較する比較器(コンパレータ)を組み合わせた回路を用いることで容易に構成することができる。更に、必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付け加えてもよい。

【0127】一方、アナログ信号で電圧変調方式の場合、変調信号発生器117には、例えばよく知られているオペアンプ等を用いた増幅回路を用いればよく、必要に応じてレベルシフト回路等を付け加えてもよい。また、アナログ信号でパルス幅変調方式の場合、例えばよく知られている電圧制御型発振回路(VCO)を用いればよく、必要に応じて表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付け加えてもよい。

【0128】以上のような表示パネル111及び駆動回路を有する本発明の画像形成装置は、端子Dx1~Dxm及びDy1~Dynから電圧を印加することにより、必要な表面伝導型電子放出素子から電子を放出させることができ、高圧端子Hvを通じて、メタルバック95あるいは透明電極(不図示)に高電圧を印加して電子ビームを加速し、加速した電子ビームを蛍光膜94に衝突さ

せることで生じる励起・発光によって、NTSC方式のテレビ信号に応じてテレビジョン表示を行うことができるものである。

【0129】尚、以上説明した構成は、表示等に用いられる本発明の画像形成装置を得る上で必要な概略構成であり、例えば各部材の材料等、詳細な部分は上述の内容に限られるものではなく、画像形成装置の用途に適するよう、適宜選択されるものである。また、入力信号としてNTSC方式を挙げたが、本発明に係る画像形成装置はこれに限られるものではなく、PAL、SECAM方式等の他の方式でもよく、更にはこれらよりも多数の走査線からなるTV信号、例えばMUSE方式を初めとする高品位TV方式でもよい。

【0130】次に、前述の梯型配置の電子源及びこれを用いた本発明の画像形成装置の一例について図12及び図13を用いて説明する。

【0131】図12において、1は基板、84は表面伝導型電子放出素子、124は表面伝導型電子放出素子84を接続する共通配線で10本設けられており、各々外部端子D1~D10を有している。

【0132】表面伝導型電子放出素子84は、基板1上に並列に複数個配置されている。これを素子行と呼ぶ。そしてこの素子行が複数行配置されて電子源を構成している。

【0133】各素子行の共通配線124(例えば外部端子D1とD2の共通配線124)間に適宜の駆動電圧を印加することで、各素子行を独立に駆動することが可能である。即ち、電子ビームを放出させたい素子行にはしきい値電圧を超える電圧を印加し、電子ビームを放出させたくない素子行にはしきい値電圧以下の電圧を印加するようにすればよい。このような駆動電圧の印加は、各素子行間に位置する共通配線D2~D9について、夫々相隣接する共通配線124、即ち夫々相隣接する外部端子D2とD3、D4とD5、D6とD7、D8とD9の共通配線124を一体の同一配線としても行うことができる。

【0134】図13は、本発明の電子源の他の例である、上記梯型配置の電子源を備えた表示パネル131の構造を示す図である。

【0135】図13中132はグリッド電極、133は電子が通過するための開口、D1~Dmは各表面伝導型電子放出素子に電圧を印加するための外部端子、G1~Gnはグリッド電極132に接続された外部端子である。また、各素子行間の共通配線124は一体の同一配線として基板1上に形成されている。

【0136】尚、図13において図9と同じ符号は同じ部材を示すものであり、図9に示される単純マトリクス配置の電子源を用いた表示パネル111との大きな違いは、基板1とフェースプレート96の間にグリッド電極132を備えている点である。

【0137】基板1とフェースプレート96の間には、上記のようにグリッド電極132が設けられている。このグリッド電極132は、表面伝導型電子放出素子84から放出された電子ビームを変調することができるもので、梯型配置の素子行と直行して設けられたストライプ状の電極に、電子ビームを通過させるために、各表面伝導型電子放出素子84に対応して1個ずつ円形の開口133を設けたものとなっている。

【0138】グリッド電極132の形状や配置位置は、必ずしも図13に示すようなものでなければならないものではなく、開口133をメッシュ状に多数設けることもあり、またグリッド電極132を、例えば表面伝導型電子放出素子84の周囲や近傍に設けてもよい。

【0139】外部端子D1~Dm及びG1~Gnは不図示の駆動回路に接続されている。そして、素子行を1列ずつ順次駆動（走査）して行くのと同期してグリッド電極132の列に画像1ライン分の変調信号を印加することにより、各電子ビームの蛍光膜94への照射を制御し、画像を1ラインずつ表示することができる。

【0140】以上のように、本発明の画像形成装置は、単純マトリクス配置及び梯型配置のいずれの本発明の電子源を用いても得ることができ、上述したテレビジョン放送の表示装置のみならず、テレビ会議システム、コンピューター等の表示装置として好適な画像形成装置が得られる。更には、感光ドラムとで構成した光プリンターの露光装置としても用いることができるものである。

【0141】

【実施例】以下に、実施例を挙げて本発明を更に詳述する。

【0142】実施例1

本実施例で用いた表面伝導型電子放出素子の構成は、図1(a)、(b)に示されるものと同様である。

【0143】表面伝導型電子放出素子の製法は、基本的には図4で説明した方法と同様である。以下、図1及び図4を用いて、本実施例で用いた表面伝導型電子放出素子の基本的な構成及び製造法を説明する。

【0144】図1において1は基板、4と5は素子電極、2は電子放出部、3は電子放出部2を含む薄膜、6は帯電防止膜である。

【0145】以下、製造手順を図1及び図4に基づいて説明する。

【0146】工程-a

清浄化した青板ガラス上に厚さ0.5マイクロメートルのシリコン酸化膜をスパッタ法で形成した基板1上に、所望の電極形状開口を有するパターンをホトレジスト(RD-2000N-41・日立化成社製)で形成し、真空蒸着法により、厚さ5ナノメートルのT1、厚さ100ナノメートルのN1を順次堆積した。ホトレジストパターンを有機溶剤で溶解し、N1/T1堆積膜をリフトオフして、素子電極間隔Lが3マイクロメートル、幅

Wが300マイクロメートルの素子電極4、5を形成した。

【0147】工程-b

次に、電子放出部2を形成するための電子放出部形成用の薄膜3を所定の形状にパターニングするために、通常よく用いられる蒸着マスクを素子電極4、5上に配置し、膜厚100ナノメートルのCr膜を真空蒸着により堆積、パターニングし、その上に有機Pd(ccp4230奥野製薬(株)製)をスピナーにより回転塗布し、300℃で12分間の加熱焼成処理をした。また、こうして形成された、主元素がPdの微粒子からなる電子放出部形成用の薄膜3の膜厚は100オングストローム、シート抵抗値は $2 \times 10^4 \Omega/\square$ であった。尚、ここで述べる微粒子膜とは、前述したように、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは、重なり合った状態(島状も含む)の膜をさし、その粒径とは、この状態で粒子形状が認識可能な微粒子についての径をいう。

【0148】工程-c

Cr膜及び焼成後の電子放出部形成用の薄膜3を酸エッチャントによりエッチングして所望のパターンを形成した。

【0149】以上の工程により、基板1上に素子電極4、5及び電子放出部形成用の薄膜3を形成した。

【0150】工程-d

素子電極4、5及び電子放出部形成用の薄膜3を形成した基板1を再度洗浄し、乾燥させた後、以下に述べる方法により、基板1の表面全体を疎水化処理した。

【0151】オクタデシルアミンのクロロホルム溶液(1mmol/l)を純水上に展開し、表面圧を20mN/mにまで高め、オクタデシルアミンの単分子膜を純水上に形成した。かかる表面圧を一定に保持したまま、基板1を速度0.5mm/秒にて前記単分子層を横切る方向に静かに浸漬し、引き続き同じ速度でこれを引き上げた。これにより、基板1の表面にはオクタデシルアミンが疎水基側を向けて堆積するため、基板1の表面全体が疎水表面となった。

【0152】次に、以下の方法により帯電防止膜6を形成した。まず、長鎖アルキル脂肪酸の一種であるベヘン酸と、酢酸パラジウムにジデシルアミンを二個配位させたパラジウム錯体をそれぞれ、1.6mmol/l、0.4mmol/lの濃度でクロロホルム中で混合した(以下、この混合物を「混合物A」と記す。)この混合物Aのクロロホルム溶液を純水上に展開し、表面圧を20mN/mにまで高め、混合物Aの単分子膜を純水上に形成した。かかる表面圧を一定に維持したまま、基板1を速度2mm/秒にて前記単分子層を横切る方向に静かに浸漬し、引き続き同じ速度でこれを引き上げた。かかる浸漬・引き上げを繰り返して、混合物Aからなる50

層のLB膜を形成させた。尚、ここで、ベヘン酸はLB膜の成膜を容易にするために混合しており、他の脂肪酸やアルキルアミン等のLB膜成膜の容易な材料で代用することができ、本発明に特に必須のものではない。

【0153】次に、この基板1をUV/O₂処理装置(サムコ製UV-300)を用いて、室温下で3時間のUV/O₂処理を行った後、クリーンオープンにて、大気中300℃で12分間の焼成を行い、PdOの微粒子状の帯電防止膜6を形成した。

【0154】1) 抵抗測定

工程-dと同様の工程で、混合物AのLB膜をガラス基板上に、それぞれ20、30、40、50、60、70、80層累積し、工程-dに記載の方法でPdO薄膜を形成した後、水素と窒素の比が2:98の雰囲気下に1時間放置し、Pdの薄膜を得た。各層数の基板のシート抵抗値を4端子法により測定したところ、20層…測定できず(10の13乗オーム/□以上)、30層…10の11乗オーム/□、40層…1×10の10乗オーム/□、50層…8×10の8乗オーム/□、60層…2×10の8乗オーム/□、70層…1×10の7乗オーム/□、80層…3×10の6乗オーム/□であった。尚、これらのLB膜の累積層数と抵抗値の関係は、混合物Aの混合比率を変えたり、PdOないしPd膜形成後の熱処理、雰囲気処理等で変えることもでき、上記関係は普遍的なものではない。

【0155】2) 走査型電子顕微鏡(SEM)によるチャージアップ観察

上記各層数の基板のSEM観察を25kVの加速電圧で行ったところ、20層のサンプルはチャージアップが酷く、30層のサンプルもチャージアップがあったが、40層以上のサンプルではチャージアップは殆ど見られなかった。また、60層以下のPd膜は島状の薄膜であった。

【0156】上記1)、2)の検討により、本実施例では50層の混合物AのLB膜を用いた。

【0157】工程-e

次に、上記基板1を図6の測定評価系に設置し、真空ポンプにて排気して、2×10の-5乗torrの真空度に達した後、素子電圧V_fを印加するための電源61より各素子電極4、5間に電圧を印加し、通電処理(フォーミング処理)を施した。フォーミング処理の電圧波形は図5(b)に示されるような波形とした。

【0158】図5(b)中、T1及びT2は電圧波形のパルス幅とパルス間隔であり、本実施例ではT1を1ミリ秒、T2を10ミリ秒とし、三角波の波高値(フォーミング時のピーク電圧)は0.1Vステップで昇圧させてフォーミング処理を行なった。また、フォーミング処理中は、同時に、0.1Vの電圧でT2間に抵抗測定パルスを挿入して抵抗を測定した。尚、フォーミング処理の終了は、抵抗測定パルスでの測定値が約1Mオーム以

上になった時とし、同時に、表面伝導型電子放出素子への電圧の印加を終了した。表面伝導型電子放出素子のフォーミング電圧V_Fは5.0Vであった。

【0159】この後、素子を真空中に保持したまま、150℃でアニーリングし、電子放出部を含む膜3と帯電防止膜6を同時に還元した。

【0160】工程-f

続いて、アセトンをアンブルに封じたものをスローリークバルブを通して真空内に導入し、1.0×10の-3乗torrを維持した。次に、フォーミング処理した表面伝導型電子放出素子に、波高値が14Vの三角波を印加して活性化処理をした。

【0161】活性化処理は、図6の測定評価系内で、素子電極4、5間に、素子電流I_f及び放出電流I_eを測定しながら上記パルス電圧を印加することで行った。効率η(I_e/I_f)が、約30分で最大となったので、通電を停止し、スローリークバルブを閉め、活性化処理を終了した。

【0162】工程-g

更に、上述の工程で作製した表面伝導型電子放出素子の電子放出特性を、上述の図6の測定評価系を用いて測定した。この測定は、真空オイルを使用しないイオンポンプ等の超高真空排気装置を用いて排気し、有機物質の混入を極力防止した条件下で行った。

【0163】尚、図6におけるアノード電極64と表面伝導型電子放出素子の距離を4mm、アノード電極64の電位を1kV、電子放出特性測定時の真空装置内の真空度は1×10の-6.5乗torrとした。

【0164】素子電極4、5間に素子電圧を14V印加したが、電子放出特性は極めて安定で、放電等による表面伝導型電子放出素子の破壊は生じなかった。

【0165】尚、比較のため、混合物AのLB膜を20、30、40、60、70、80層累積して同様に作製したサンプル、及び帯電防止膜6を形成しない以外は同様に作製したサンプルを評価したところ、帯電防止膜6のないサンプルおよび20層のサンプルはいずれも1時間以内に放電が生じ、表面伝導型電子放出素子が破壊した。また、30層のサンプルでは、放電は生じなかったが、電子放出特性は不安定なものであった。40層のサンプルは、本実施例の50層のサンプルと同様の特性を示した。60、70、80層のサンプルでは、電子放出特性は安定していたが、素子電流I_fが大きく、効率は40層、50層のサンプルに比べて極めて悪かった。

【0166】以上のように、本発明における帯電防止膜6によって、安定で放電の生じない電子放出特性が得られた。

【0167】実施例2

本実施例では、上記の工程-dまで実施例1と同様の工程で行った。但し、本実施例では、混合物AからなるLB膜の層数を30層とした。

【0168】1) 抵抗測定

実施例1の工程-dと同様の工程で、混合物AのLB膜をガラス基板上に、それぞれ20、30、40、50層累積し、工程-dに記載の方法でPdO薄膜を得た。各層数の基板のシート抵抗値を4端子法により測定したところ、20層…測定できず(10の13乗オーム/□以上)、30層… 4×10 の8乗オーム/□、40層… 5×10 の6乗オーム/□、50層… 5×10 の5乗オーム/□であった。尚、これらのLB膜の累積層数と抵抗値の関係は、混合物Aの混合比率を変えたり、PdO膜形成後の熱処理、雰囲気処理等で変えることもでき、上記関係は普遍的なものではない。

【0169】2) SEMによるチャージアップ観察

上記各層数の基板のSEM観察を25kVの加速電圧で行ったところ、20層のサンプルはチャージアップが酷く、30層以上のサンプルではチャージアップは殆ど見られなかった。また、30層以下のPd膜は島状の薄膜であった。

【0170】上記1)、2)の検討により、本実施例では30層の混合物AのLB膜を用いた。

【0171】更に、本実施例では、電子放出部を含む薄膜3と帯電防止膜6の還元を行わない以外は、実施例1に記載の工程-e、工程-f、工程-gと同様の工程で、表面伝導型電子放出素子を作製した。上述の工程で作製した表面伝導型電子放出素子の電子放出特性を、上述の図6の測定評価系を用いて測定した。この測定は、真空オイルを使用しないイオンポンプ等の超高真空排気装置を用いて排気し、有機物質の混入を極力防止した条件下で行った。

【0172】尚、図6におけるアノード電極64と表面伝導型電子放出素子の距離を4mm、アノード電極64の電位を1kV、電子放出特性測定時の真空装置内の真空度は 1×10^{-6} 5乗torrとした。

【0173】素子電極4、5間に素子電圧を14V印加したが、電子放出特性は極めて安定で、放電等による表面伝導型電子放出素子の破壊は生じなかった。

【0174】尚、比較のため、混合物AのLB膜を20、40、50層累積して同様に作製したサンプル、及び帯電防止膜6を形成しない以外は同様に作製したサンプルを評価したところ、帯電防止膜6のないサンプルおよび20層のサンプルはいずれも1時間以内に放電が生じ、表面伝導型電子放出素子が破壊した。また、40層、50層のサンプルでは、電子放出特性は安定していたが、素子電流Ifが大きく、効率は30層のサンプルに比べて極めて悪かった。

【0175】以上のように、本発明における帯電防止膜6によって、安定で放電の生じない電子放出特性が得られた。

【0176】実施例3

本実施例は、多数の表面伝導型電子放出素子を単純マト

リクス配置した電子源を用いた画像形成装置の例である。

【0177】電子源の一部の平面図を図14に示す。また、図中のA-A'断面図を図15に、製造手順を図16及び図17に示す。但し、図14、図15、図16及び図17において同じ符号は同じ部材を示す。

【0178】ここで1は基板、82はX方向配線(下配線とも呼ぶ)、83はY方向配線(上配線とも呼ぶ)、3は電子放出部を含む薄膜、4、5は素子電極、6は帯電防止膜、151は層間絶縁層、152は素子電極5と下配線82と電気的接続のためのコンタクトホールである。

【0179】次に製造方法を、図16及び図17に基づいて工程順に従って具体的に説明する。尚、以下の各工程a~iは図16及び図17の(a)~(i)に対応するものである。

【0180】工程-a

洗浄した基板ガラス上に厚さ0.5マイクロメートルのシリコン酸化膜をスパッタ法で形成した基板1上に、真空蒸着により、厚さ5ナノメートルのCr、厚さ60ナノメートルのAuを順次積層した後、ホトレジスト(AZ1370・ヘキスト社製)をスピンナーにより回転塗布し、ベークした後、ホトマスク像を露光、現像して、下配線82のレジストパターンを形成し、Au/Cr堆積膜をウェットエッチングして、所望の形状の下配線82を形成した。

【0181】工程-b

次に、厚さ1.0マイクロメートルのシリコン酸化膜からなる層間絶縁層151をRFスパッタ法により堆積した。

【0182】工程-c

工程bで堆積したシリコン酸化膜にコンタクトホール152を形成するためのホトレジストパターンを作り、これをマスクとして層間絶縁層151をエッチングしてコンタクトホール152を形成した。エッチングはCF₄とH₂ガスを用いたRIE(Reactive Ion Etching)法によった。

【0183】工程-d

その後、素子電極5と素子電極間ギャップGとなるべきパターンをホトレジスト(RD-2000N-41・日立化成社製)で形成し、真空蒸着法により、厚さ5ナノメートルのTi、厚さ100ナノメートルのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし、素子電極間隔Lが3マイクロメートル、幅Wが300マイクロメートルの素子電極4、5を形成した。

【0184】工程-e

素子電極4、5の上に上配線83のホトレジストパターンを形成した後、厚さ5ナノメートルのTi、厚さ50ナノメートルのAuを順次真空蒸着により堆積し、リ

フトオフにより不要の部分を除去して、所望の形状の上配線83を形成した。

【0185】工程-f

本工程に関する電子放出部形成用の薄膜3のマスクは、素子電極間ギャップおよびこの近傍に開口を有するマスクであり、このマスクにより膜厚100ナノメートルのCr膜153を真空蒸着により堆積・パターニングし、その上に有機Pd(ccp4230・奥野製薬(株)製)をスピンナーにより回転塗布し、300℃で10分間の加熱焼成処理をした。また、こうして形成された主元素がPdの微粒子からなる電子放出部形成用の薄膜3の膜厚は100オングストローム、シート抵抗値は $5 \times 10^4 \Omega/\square$ であった。尚、ここで述べる微粒子膜とは、上述したように、複数の微粒子が集めた膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは、重なり合った状態(島状も含む)の膜をさし、その粒径とは、上記状態で粒子形状が認識可能な微粒子についての径をいう。

【0186】工程-g

Cr膜153及び焼成後の電子放出部形成用の薄膜3を酸エッチャントによりエッチングして所望のパターンを形成した。

【0187】工程-h

コンタクトホール152部分以外にレジストを塗布してパターンを形成し、真空蒸着により厚さ5ナノメートルのTi、厚さ500ナノメートルのAuを順次堆積した。リフトオフにより不要の部分を除去することにより、コンタクトホール152を埋め込んだ。

【0188】工程-i

実施例1と同様の工程で、下配線82、層間絶縁層151、上配線83、素子電極4、5、電子放出部形成用の薄膜3等を有する基板1上に帯電防止膜6を形成した。

【0189】以上の工程により、絶縁性基板上に下配線82、層間絶縁層151、上配線83、素子電極4、5、電子放出部形成用の薄膜3、帯電防止膜6等を形成した。

【0190】次に、以上のようにして作成した未フォーミングの電子源を用いて画像形成装置を構成した例を、図9と図10を用いて説明する。

【0191】上述のようにして多数の表面伝導型電子放出素子84を設けた基板1をリアプレート91上に固定した後、基板1の5mm上方に、フェースプレート96(ガラス基板93の内面に蛍光膜94とメタルバック95が形成されて構成される)を支持枠92を介して配置し、フェースプレート96、支持枠92、リアプレート91の接合部にフリットガラスを塗布し、大気中で400℃で10分焼成することで封着した。またリアプレート91への基板1の固定もフリットガラスで行った。

【0192】図9において、82、83は夫々X方向及

びY方向配線である。

【0193】蛍光膜94は、モノクロームの場合は蛍光体102のみからなるが、本実施例では蛍光体102はストライプ形状(図10(a))を採用し、先にブラックストライプを形成し、その間隙部に各色蛍光体102を塗布して蛍光膜94を作製した。ブラックストライプの材料としては、通常よく用いられている黒鉛を主成分とする材料を用いたガラス基板93に蛍光体102を塗布する方法としてはスラリー法を用いた。また、蛍光膜94の内面側にはメタルバック95を設けた。メタルバック95は、蛍光膜94の作製後、蛍光膜94の内面側表面の平滑化処理(通常フィルミングと呼ばれる)を行い、その後、Alを真空蒸着することで作製した。

【0194】フェースプレート96には、更に蛍光膜94の導電性を高めるため、蛍光膜94の外側面に透明電極(不図示)が設けられる場合もあるが、本実施例では、メタルバック95のみで十分な導電性が得られたので省略した。

【0195】前述の封着を行う際、カラーの場合は各色蛍光体102と表面伝導型電子放出素子84とを対応させなくてはならないため、十分な位置合わせを行った。

【0196】以上のようにして完成したガラス容器内の雰囲気気を排気管(図示せず)を通じ真空ポンプにて排気し、十分な真空度に達した後、外部端子Dx1ないしDxmとDy1ないしDynを通じ、表面伝導型電子放出素子84の素子電極4、5間に電圧を印加し、電子放出部形成用の薄膜3をフォーミング処理することにより電子放出部2を作成した。

【0197】フォーミング処理の電圧波形は、図5(b)と同様とした。また、本実施例ではT1を1ミリ秒、T2を10ミリ秒とし、約 1×10^{-5} Torrの真空雰囲気下で行った。

【0198】このようにして作成された電子放出部2は、パラジウム元素を主成分とする微粒子が分散配置された状態となり、その微粒子の平均粒径は30オングストロームであった。

【0199】次に、パネルの排気管(不図示)よりアセトンスローリークバルブを通してパネル内に導入し、 1.0×10^{-3} Torrを維持した。フォーミングと同一波形、波高値14Vで、真空度 2×10^{-5} Torrの真空度で、素子電流If、放出電流Ieを測定しながら、活性化処理を行なった。

【0200】以上のようにフォーミング工程、活性化工程を行い、電子放出部2を有する電表面伝導型電子放出素子84を作製した。

【0201】その後、 10^{-6} Torr程度の真空度まで排気し、不図示の排気管をガスバーナーで熱することで溶着し、外囲器98の封止を行い、更に封止後の真空度を維持するために、高周波加熱法でゲッター処理を行った。

【0202】以上のように完成した本発明の画像形成装置において、外部端子Dx1ないしDxmとDy1ないしDynを通じ、走査信号及び変調信号を不図示の信号発生手段より夫々表面伝導型電子放出素子84に印加することにより電子放出させると共に、高圧端子Hvを通じてメタルバック95に数kV以上の高圧を印加して、電子ビームを加速し、蛍光膜94に衝突させ、励起・発光させることで画像の表示が得られた。

【0203】実施例4

図18は、前述の表面伝導型電子放出素子を電子源として用いたディスプレイパネルに、例えばテレビジョン放送を初めとする種々の画像情報源より提供される画像情報を表示できるように構成した本発明の画像形成装置の一例を示す図である。

【0204】図中1800はディスプレイパネル、1801はディスプレイパネルの駆動回路、1802はディスプレイコントローラ、1803はマルチプレクサ、1804はデコーダ、1805は入出力インターフェース回路、1806はCPU、1807は画像生成回路、1808及び1809及び1810は画像メモリーインターフェース回路、1811は画像入力インターフェース回路、1812及び1813はTV信号受信回路、1814は入力部である。

【0205】尚、本画像形成装置は、例えばテレビジョン信号のように、映像情報と音声情報の両方を含む信号を受信する場合には当然映像の表示と同時に音声再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶等に関する回路やスピーカー等については説明を省略する。

【0206】以下、画像信号の流れに沿って各部の機能を説明する。

【0207】まず、TV信号受信回路1813は、例えば電波や空間光通信等のような無線伝送系を用いて伝送されるTV信号を受信するための回路である。

【0208】受信するTV信号の方式は特に限られるものではなく、例えばNTSC方式、PAL方式、SECAM方式等、いずれの方式でもよい。また、これらより更に多数の走査線よりなるTV信号、例えばMUSE方式を初めとする所謂高品位TVは、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。

【0209】TV信号受信回路1813で受信されたTV信号は、デコーダ1804に出力される。

【0210】TV信号受信回路1812は、例えば同軸ケーブルや光ファイバー等のような有線伝送系を用いて伝送されるTV信号を受信するための回路である。前記TV信号受信回路1813と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ1804に出力される。

【0211】画像入力インターフェース回路1811

は、例えばTVカメラや画像読み取りスキャナーなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1804に出力される。

【0212】画像メモリーインターフェース回路1810は、ビデオテープレコーダー（以下VTRと略す）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1804に出力される。

【0213】画像メモリーインターフェース回路1809は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1804に出力される。

【0214】画像メモリーインターフェース回路1808は、静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ1804に入力される。

【0215】入出力インターフェース回路1805は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンターなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行うのは勿論のこと、場合によっては本画像形成装置の備えるCPU1806と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0216】画像生成回路1807は、前記入出力インターフェース回路1805を介して外部から入力される画像データや文字・図形情報や、あるいはCPU1806より出力される画像データや文字・図形情報に基づき、表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリーや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリーや、画像処理を行うためのプロセッサ等を初めとして、画像の生成に必要な回路が組み込まれている。

【0217】本回路により生成された表示用画像データは、デコーダ1804に出力されるが、場合によっては前記入出力インターフェース回路1805を介して外部のコンピュータネットワークやプリンターに出力することも可能である。

【0218】CPU1806は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。

【0219】例えば、マルチプレクサ1803に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。その際には表示する画像信号に応じてディスプレイパネルコントローラ1802に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制

御する。また、前記画像生成回路1807に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路1805を介して外部のコンピュータやメモリーをアクセスして画像データや文字・図形情報を入力する。

【0220】尚、CPU1806は、これ以外の目的の作業にも関わるものであってよい。例えば、パーソナルコンピュータやワードプロセッサ等のように、情報を生成したり処理する機能に直接関わってもよい。あるいは前述したように、入出力インターフェース回路1805を介して外部のコンピュータネットワークと接続し、例えば数値計算等の作業を外部機器と協同して行ってもよい。

【0221】入力部1814は、前記CPU1806に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、例えばキーボードやマウスの他、ジョイスティック、バーコードリーダー、音声認識装置等の多様な入力機器を用いることが可能である。

【0222】デコーダ1804は、前記1807ないし1813より入力される種々の画像信号を3原色信号、又は輝度信号と1信号、Q信号に逆変換するための回路である。尚、図中に点線で示すように、デコーダ1804は内部に画像メモリーを備えるのが望ましい。これは、例えばMUSE方式を初めとして、逆変換するに際して画像メモリーを必要とするようなテレビ信号を扱うためである。

【0223】画像メモリーを備える事により、静止画の表示が容易になる。あるいは前記画像生成回路1807及びCPU1806と協同して、画像の間引き、補間、拡大、縮小、合成を初めとする画像処理や編集が容易になるという利点が見られる。

【0224】マルチプレクサ1803は、前記CPU1806より入力される制御信号に基づき、表示画像を適宜選択するものである。即ち、マルチプレクサ1803はデコーダ1804から入力される逆変換された画像信号の内から所望の画像信号を選択して駆動回路1801に出力する。その場合には、一画面表示時間内で画像信号を切り換えて選択することにより、所謂多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0225】ディスプレイパネルコントローラ1802は、前記CPU1806より入力される制御信号に基づき、駆動回路1801の動作を制御するための回路である。

【0226】ディスプレイパネルの基本的な動作に関わるものとして、例えばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路1801に対して出力する。ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレ

ースか）を制御するための信号を駆動回路1801に対して出力する。また、場合によっては、表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路1801に対して出力する場合もある。

【0227】駆動回路1801は、ディスプレイパネル1800に印加する駆動信号を発生するための回路であり、前記マルチプレクサ1803から入力される画像信号と、前記ディスプレイパネルコントローラ1802より入力される制御信号に基づいて動作するものである。

【0228】以上、各部の機能を説明したが、図18に例示した構成により、本画像形成装置においては多様な画像情報源より入力される画像情報をディスプレイパネル1800に表示することが可能である。即ち、テレビジョン放送を初めとする各種の画像信号は、デコーダ1804において逆変換された後、マルチプレクサ1803において適宜選択され、駆動回路1801に入力される。一方、ディスプレイコントローラ1802は、表示する画像信号に応じて駆動回路1801の動作を制御するための制御信号を発生する。駆動回路1801は、上記画像信号と制御信号に基づいてディスプレイパネル1800に駆動信号を印加する。これにより、ディスプレイパネル1800において画像が表示される。これらの一連の動作は、CPU1806により統括的に制御される。

【0229】本画像形成装置においては、前記デコーダ1804に内蔵する画像メモリーや、画像生成回路1807及び情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換等を初めとする画像処理や、合成、消去、接続、入れ換え、嵌め込み等を初めとする画像編集を行うことも可能である。また、本実施例の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行なうための専用回路を設けてもよい。

【0230】従って、本画像形成装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像及び動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサを初めとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0231】尚、図18は、表面伝導型電子放出素子を電子ビーム源とする表示パネルを用いた画像形成装置とする場合の構成の一例を示したに過ぎず、本発明の画像形成装置がこれのみに限定されるものでないことは言うまでもない。

【0232】例えば図18の構成要素の内、使用目的上必要のない機能に関わる回路は省いても差し支えない。また、これとは逆に、使用目的によっては更に構成要素

を追加してもよい。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路等を構成要素に追加するのが好適である。

【0233】本画像形成装置においては、とりわけ表面伝導型電子放出素子を電子源としているので、ディスプレイパネルの薄形化が容易であり、画像形成装置の奥行きを小さくすることができる。それに加えて、表面伝導型電子放出素子を電子ビーム源とする表示パネルは大画面化が容易で輝度が高く視野角特性にも優れるため、画像形成装置は臨場感にあふれ、迫力に富んだ画像を視認性良く表示することが可能である。

【0234】

【発明の効果】以上説明したように、本発明によれば、表面伝導型電子放出素子の電子放出特性が極めて安定し、また放電による表面伝導型電子放出素子の劣化も防止することができる。

【0235】入力信号に応じて電子を放出する電子源においては、上記の表面伝導型電子放出素子を基体上に複数個配置して電子源を構成することにより、また、個々の表面伝導型電子放出素子の両端を配線に接続した表面伝導型電子放出素子の行を複数持ち、更に、変調手段を有している配置法、あるいは基体に互いに電気的に絶縁されたm本のX方向配線とn本のY方向配線とに、該表面伝導型電子放出素子の一对の素子電極とを接続した表面伝導型電子放出素子を複数個配列した配置とする電子源とすることで、各表面伝導型電子放出素子が安定かつ歩留り良く製造できる。

【0236】画像形成装置においては、入力信号に基づいて、画像を形成する装置であって、少なくとも画像形成部材と前記電子源より構成されたことを特徴とする画像形成装置であるため、電子放出特性の安定性と寿命の向上がなされ、例えば蛍光体を画像形成部材とする画像形成装置においては、高品位な画像形成装置、例えばカラーフラットテレビが実現できる。

【図面の簡単な説明】

【図1】本発明の平面型表面伝導型電子放出素子を示す概略的構成図である。

【図2】本発明の表面伝導型電子放出素子の特性を説明するための図である。

【図3】本発明の垂直型表面伝導型電子放出素子を示す概略的構成図である。

【図4】本発明の表面伝導型電子放出素子の製造方法を示す図である。

【図5】フォーミング波形の例を示す図である。

【図6】本発明の表面伝導型電子放出素子の測定評価系の一例を示す概略的構成図である。

【図7】本発明の表面伝導型電子放出素子の放出電流-素子電圧特性（I-V特性）を示す図である。

【図8】単純マトリクス配置の本発明の電子源の概略的

構成図である。

【図9】単純マトリクス配置の電子源を用いた本発明の画像形成装置に用いる表示パネルの概略的構成図である

【図10】図9の表示パネルにおける蛍光膜を示す図である。

【図11】図9の表示パネルを駆動する駆動回路の一例を示す図である。

【図12】梯型配置の電子源の概略的平面図である。

【図13】梯型配置の電子源を用いた本発明の画像形成装置に用いる表示パネルの概略的構成図である。

【図14】実施例3における電子源を示す概略的平面図である。

【図15】図14におけるA-A'断面図である。

【図16】実施例3における電子源の製造手順を示す図である。

【図17】実施例3における電子源の製造手順を示す図である。

【図18】実施例4における画像形成装置を示すブロック図である。

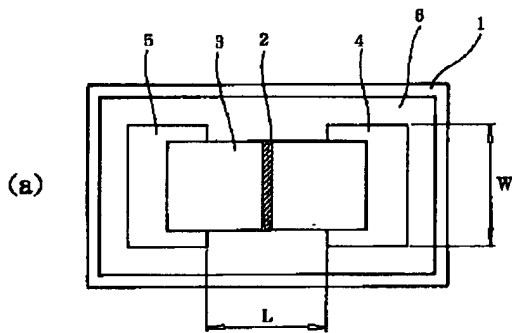
【符号の説明】

- 1 基体
- 2 電子放出部
- 3 電子放出部を含む薄膜
- 4, 5 素子電極
- 6 帯電防止膜
- 31 段差形成部材
- 60 素子電流 I_f を測定するための電流計
- 61 電源
- 62 放出電流 I_e を測定するための電流計
- 63 高圧電源
- 64 アノード電極
- 65 真空装置
- 66 排気ポンプ
- 82 X方向配線（下配線）
- 83 Y方向配線（上配線）
- 84 表面伝導型電子放出素子
- 85 結線
- 91 リアプレート
- 92 支持枠
- 93 ガラス基板
- 94 蛍光膜
- 95 メタルバック
- 96 フェースプレート
- 98 外囲器
- 101 黒色導伝材
- 102 蛍光体
- 111 表示パネル
- 112 走査回路
- 113 制御回路
- 114 シフトレジスタ

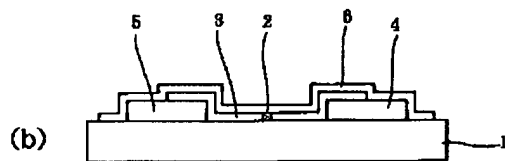
35

- 115 ラインメモリ
- 116 同期信号分離回路
- 117 変調信号発生器
- 124 共通配線
- 131 表示パネル
- 132 グリッド電極
- 133 開口
- 151 層間絶縁層
- 152 コンタクトホール
- 153 Cr層
- 1800 ディスプレイパネル
- 1801 駆動回路
- 1802 ディスプレイコントローラ

【図1】

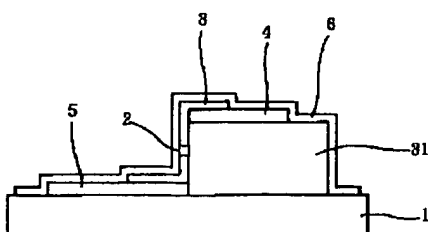


(a)



(b)

【図3】

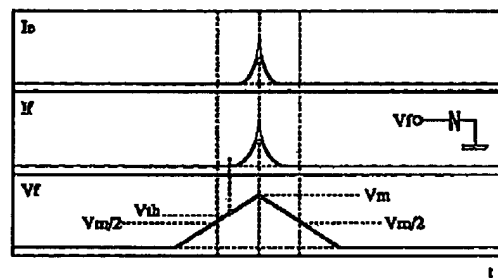


36

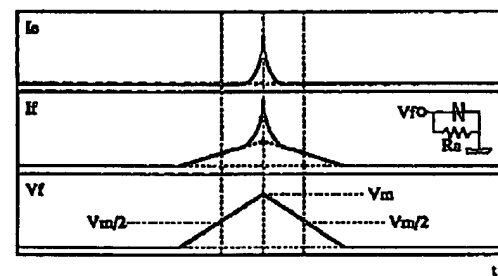
- 1803 マルチプレクサ
- 1804 デコーダ
- 1805 入出力インターフェース回路
- 1806 CPU
- 1807 画像生成回路
- 1808 画像メモリーインターフェース回路
- 1809 画像メモリーインターフェース回路
- 1810 画像メモリーインターフェース回路
- 1811 画像入力インターフェース回路
- 1812 TV信号受信回路
- 1813 TV信号受信回路
- 1814 入力部

10

【図2】

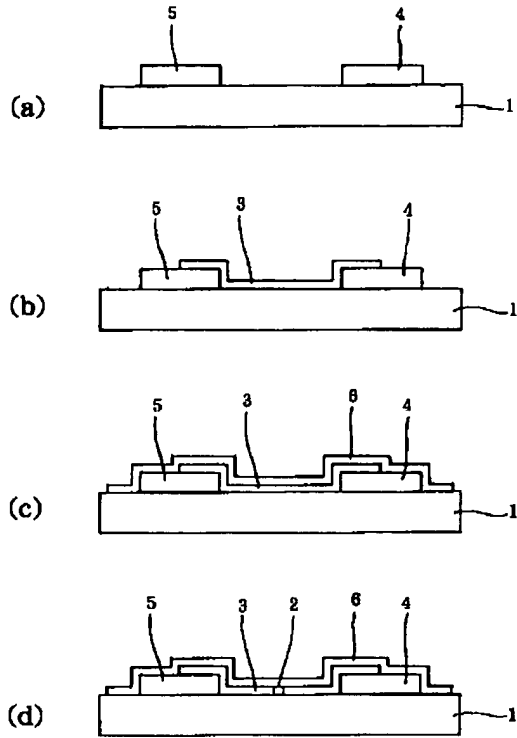


(a)

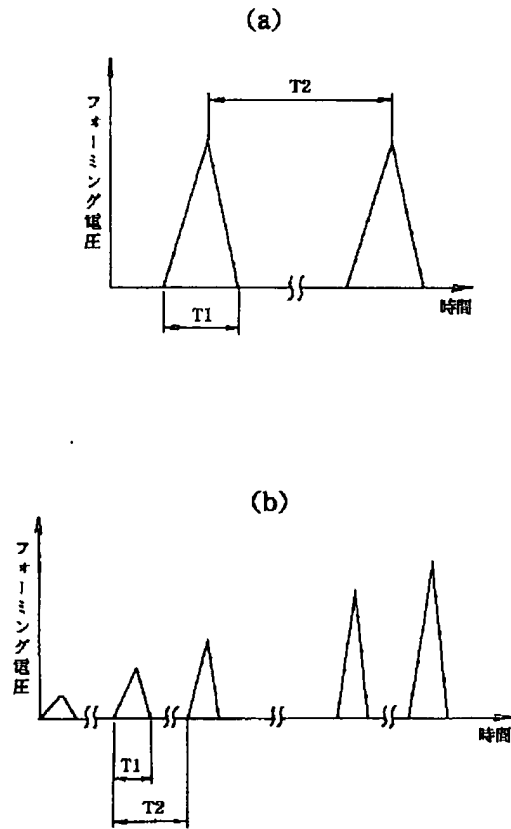


(b)

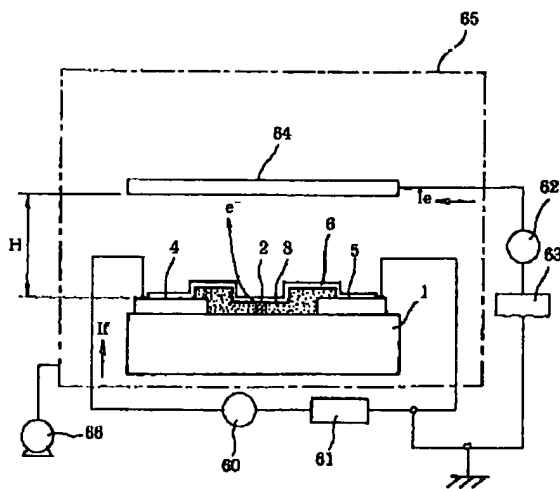
【図4】



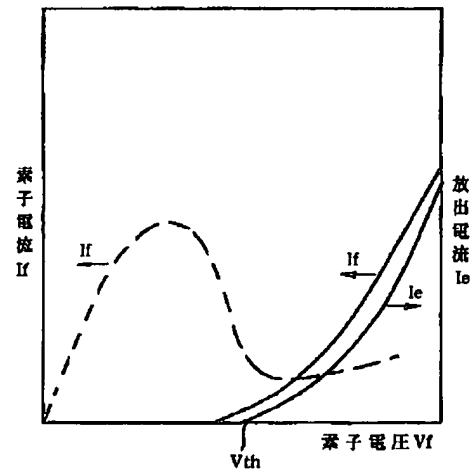
【図5】



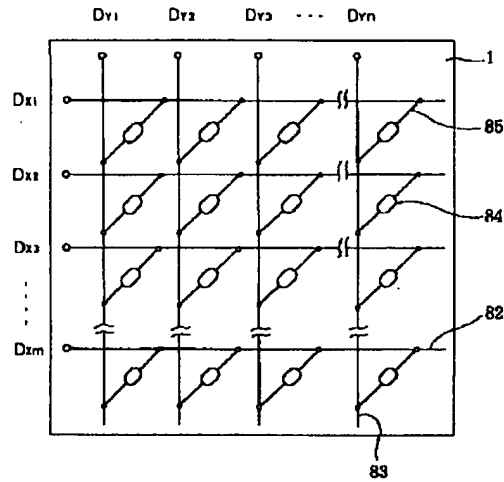
【図6】



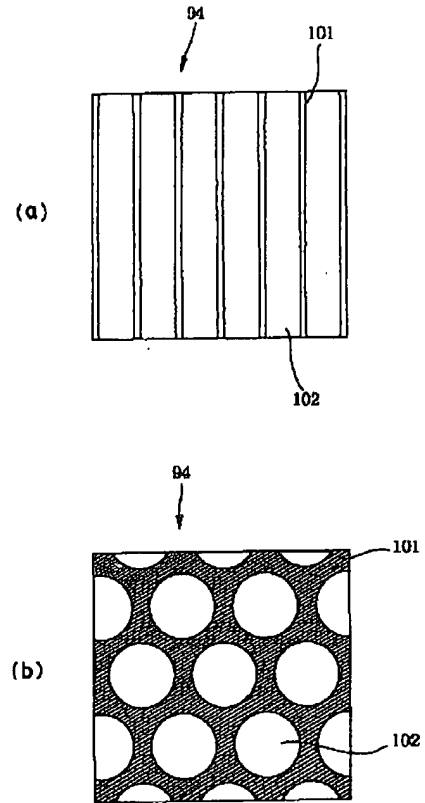
【図7】



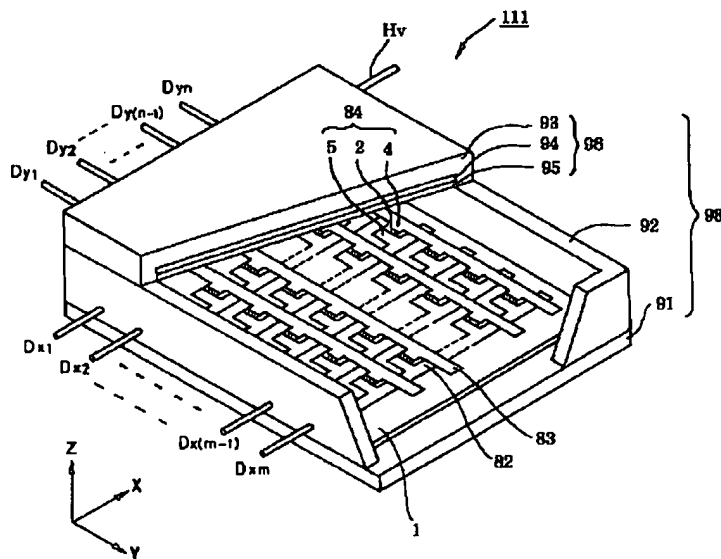
【例 8】



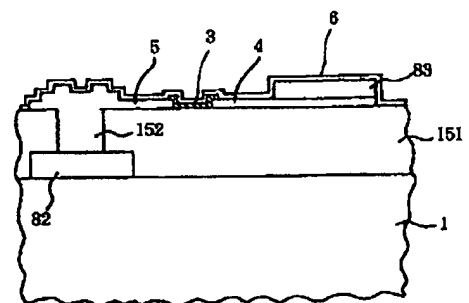
【図 10】



【图 9】

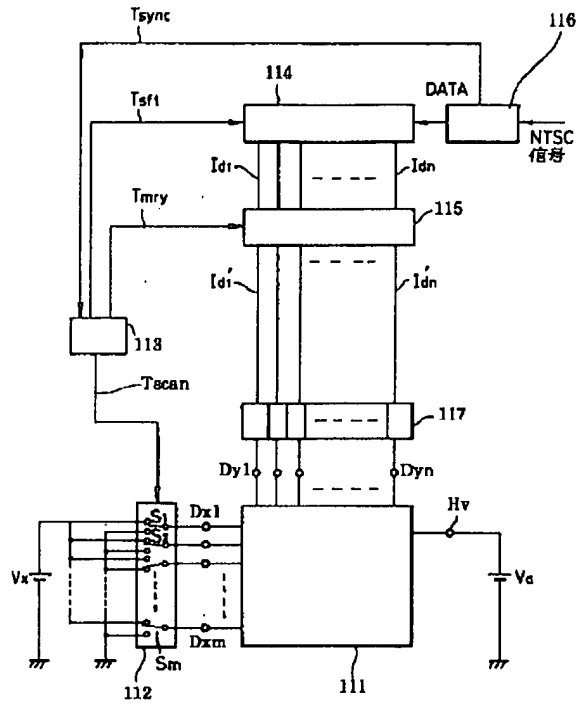


【图 15】

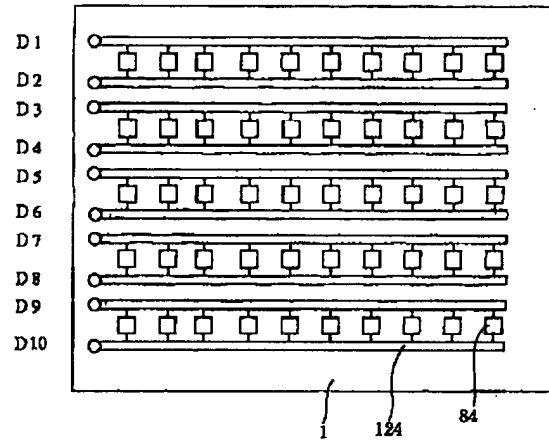


A - A' 断面图

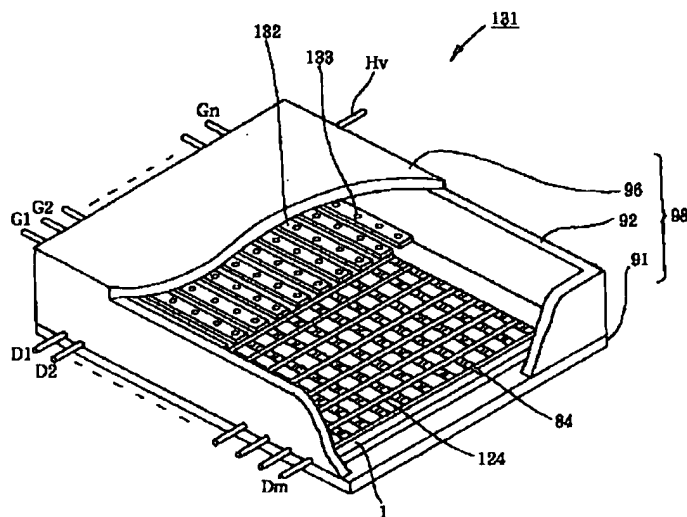
【図11】



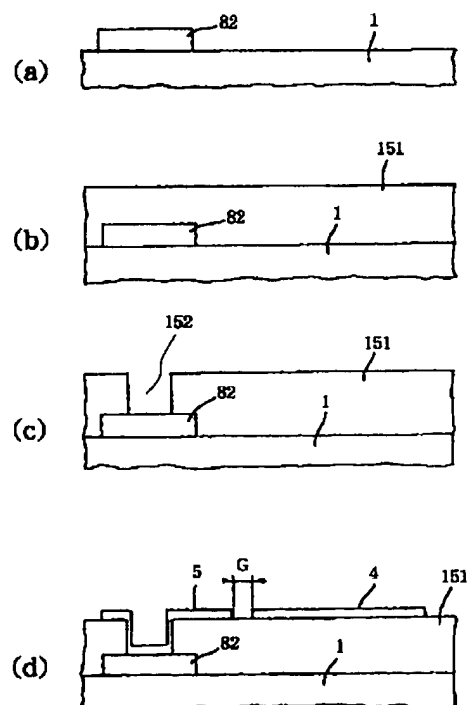
【図12】



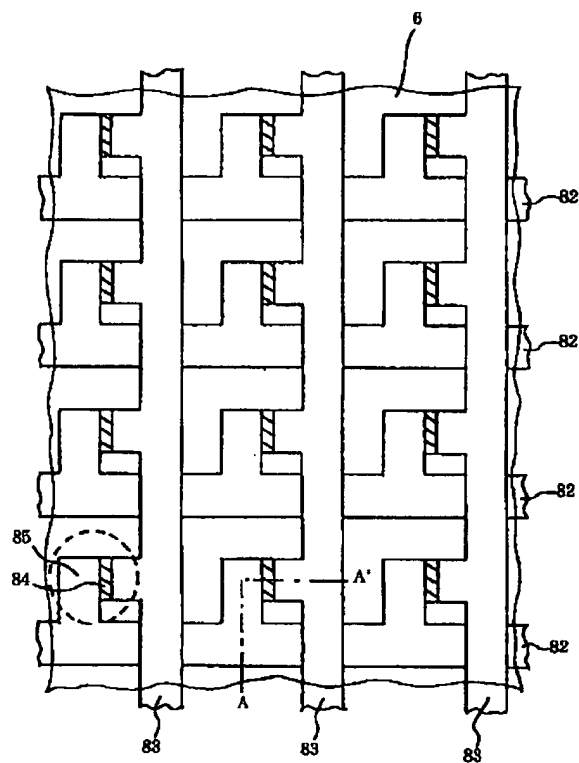
【図13】



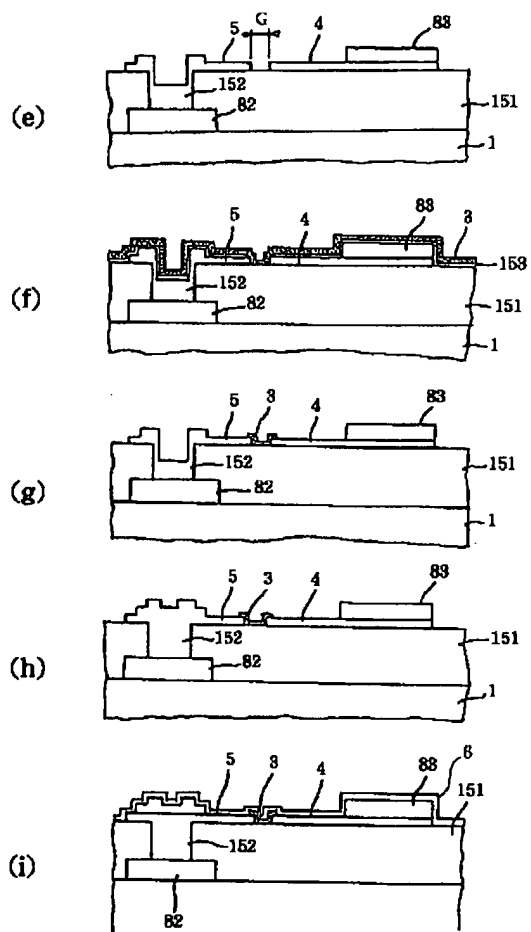
【図16】



【図14】



【図17】



【図18】

